

(19)



JAPANESE PATENT OFFICE



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06252163 A**

(43) Date of publication of application: **09.09.94**

(51) Int. Cl

H01L 21/331
H01L 29/73
H01L 21/203
H01L 29/205
H01L 29/784
H01L 21/338
H01L 29/812
H01S 3/18

(21) Application number: **05276484**

(22) Date of filing: **05.11.93**

(30) Priority: **28.12.92 JP 04347688**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **MOCHIZUKI KAZUHIRO**
TAGAMI TOMONORI
MASUDA HIROSHI
HORIUCHI KATSUTADA
MISHIMA TOMOYOSHI
NAKAMURA TORU

**(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURING METHOD**

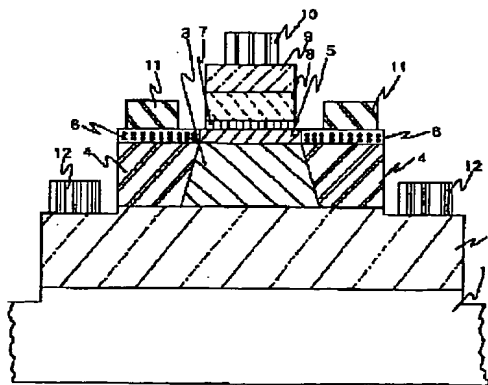
used for a base electrode 11.

COPYRIGHT: (C)1994,JPO&Japio

(57) Abstract:

PURPOSE: To provide a high performance and high reliability semiconductor device by integrating the compound polycrystalline semiconductor with a specific resistance of not more than a specific value.

CONSTITUTION: The title device has a conductive layer 6 which is made of a compound polycrystalline semiconductor with a specific resistance of not more than 0.04 ohm cm. For example, on the monocrystalline semiconductor GaAs substrate 1, heavily doped n-type GaAs layer 2 as a sub-collector layer, n-type doped GaAs layer 3 as a collector layer and heavily doped p-type GaAs layer 5 as a base layer are formed. Furthermore, the non-doped GaAs layer 7 as a spacer layer, the n-type doped AlGaAs layer 8 as an emitter layer and heavily doped n-type GaAs layer 9 as a cap layer for emitter ohmic contact formation are formed. And an SiO₂ film 4 in the parasitic collector area and the heavily doped p-type crystalline GaAs layer 6 in the base electrode lead out area are formed. AuGe is used for an emitter electrode 10 and a collector electrode 12, and AuZn is



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-252163

(43)公開日 平成6年(1994)9月9日

(51)Int.Cl.⁵

H 0 1 L 21/331
29/73
21/203

識別記号

庁内整理番号

F I

技術表示箇所

M 8122-4M
8427-4M
9054-4M

H 0 1 L 29/ 72
29/ 78

3 0 1 B

審査請求 未請求 請求項の数37 O L (全 34 頁) 最終頁に続く

(21)出願番号 特願平5-276484

(22)出願日 平成5年(1993)11月5日

(31)優先権主張番号 特願平4-347688

(32)優先日 平4(1992)12月28日

(33)優先権主張国 日本(JP)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 望月 和浩

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 田上 知紀

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 増田 宏

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 小川 勝男

最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

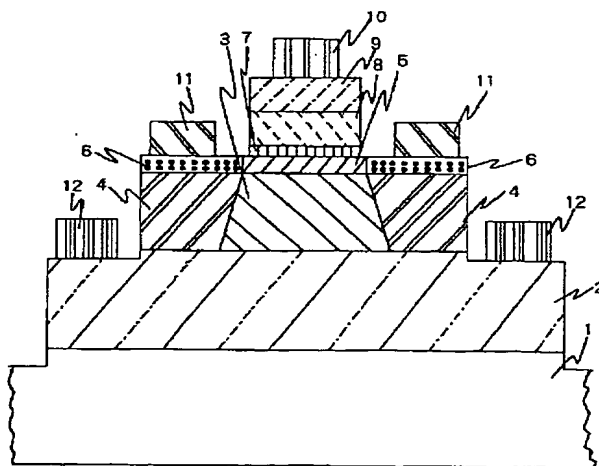
(57)【要約】

【目的】 高性能で信頼性の高い半導体装置及びその製造方法を提供する。

【構成】 低抵抗の化合物多結晶半導体を半導体装置の低抵抗層に用いる。また、上記化合物多結晶半導体の形成を、基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、あるいは有機金属分子線エピタキシー法のいずれかにより行う。

【効果】 低抵抗化合物多結晶をヘテロ接合バイポーラトランジスタのベース引き出し層に用いた場合、コレクタ上に設けられた絶縁膜上に該ベース引き出し層を形成できるのでベース・コレクタ間容量が低減でき、高速化が図れる。

図 1



- 1...単結晶半導体基板
- 2...高ドーピングn型GaAs層
- 3...n型ドーピングGaAs層
- 4...SiO₂膜
- 5...高ドーピングP型GaAs層
- 6...高ドーピングP型多結晶GaAs層
- 7...アンドープGaAs層
- 8...n型ドーピングAlGaAs層
- 9...高ドーピングn型GaAs層
- 10...エミッタ電極
- 11...ベース電極
- 12...コレクタ電極

1

【特許請求の範囲】

【請求項1】抵抗率が $0.04\Omega\text{cm}$ 以下の化合物多結晶半導体からなる導電層を有することを特徴とする半導体装置。

【請求項2】上記化合物多結晶半導体は3-5族化合物半導体およびその混晶からなることを特徴とする請求項1記載の半導体装置。

【請求項3】上記化合物多結晶半導体は不純物としてBeを含有することを特徴とする請求項1又は2記載の半導体装置。

【請求項4】上記化合物多結晶半導体は不純物としてCを含有することを特徴とする請求項1又は2記載の半導体装置。

【請求項5】上記不純物の濃度は少なくとも $4\times 10^{20}/\text{cm}^3$ であることを特徴とする請求項3又は4記載の半導体装置。

【請求項6】上記化合物多結晶半導体の粒径は 100nm 以下であることを特徴とする請求項1乃至5記載の半導体装置。

【請求項7】単結晶半導体基板と、該基板上に形成された第1の膜と、該絶縁膜上に形成された抵抗率が $0.04\Omega\text{cm}$ 以下の化合物多結晶半導体層とを有することを特徴とする半導体装置。

【請求項8】上記単結晶基板は、3-5族化合物半導体からなることを特徴とする請求項7記載の半導体装置。

【請求項9】上記第1の膜は絶縁膜であることを特徴とする請求項7又は8記載の半導体装置。

【請求項10】上記絶縁膜は SiO_2 又は Si_3N_4 からなることを特徴とする請求項7又は8記載の半導体装置。

【請求項11】上記半導体装置は、ヘテロ接合バイポーラトランジスタ、面発光レーザ又はヘテロ絶縁ゲート電界効果トランジスタを含むことを特徴とする請求項1乃至8記載の半導体装置。

【請求項12】単結晶半導体基板と、該基板上に形成され、所望の形状を有する第1導電型の化合物単結晶半導体からなる第1の層と、該第1の層上に形成され、所望の形状を有する第1導電型の化合物単結晶半導体からなる第2の層と、該第1の層上で、かつ該第2の層の周囲を囲んで形成された絶縁膜と、該第2の層上に形成され、第1導電型とは逆の第2導電型を有する化合物単結晶半導体からなる第3の層と、該絶縁膜上に形成され、該第3の層と電気的に接続された抵抗率が $0.04\Omega\text{cm}$ 以下の第2導電型を有する化合物多結晶半導体層と、該第3の層上に形成され、該第3の層を構成する化合物単結晶半導体と禁制帯幅が異なり、第1導電型を有する化合物単結晶半導体からなる第4の層と、前記第1の層、前記化合物多結晶半導体層及び前記第4の層にそれぞれ電気的に接続された第1電極、第2電極及び第3電極とを有するヘテロ接合バイポーラトランジスタを備え

2

たことを特徴とする半導体装置。

【請求項13】上記第4の層は上記化合物多結晶半導体層上に絶縁膜を介して形成されていることを特徴とする半導体装置。

【請求項14】上記第3の層及び上記第4の層は、それぞれGaAs、AlGaAsからなることを特徴とする請求項12又は13記載の半導体装置。

【請求項15】上記第3の層及び上記第4の層は、それぞれInGaAs、InAlAsからなることを特徴とする請求項12又は13記載の半導体装置。

【請求項16】上記第3の層及び上記第4の層は、それぞれInGaAs、InPからなることを特徴とする請求項12又は13記載の半導体装置。

【請求項17】上記第2電極は、上記第3の層と上記化合物多結晶半導体層との上部に形成されていることを特徴とする請求項12乃至16記載の半導体装置。

【請求項18】上記絶縁膜と上記化合物多結晶半導体層との間に、更に第4の半導体層が設けられていることを特徴とする請求項12乃至16記載の半導体装置。

【請求項19】上記第4の半導体層は、第1導電型あるいは不純物濃度が $1\times 10^{17}/\text{cm}^3$ を越えない第2導電型であることを特徴とする請求項18記載の半導体装置。

【請求項20】上記化合物多結晶半導体層上に、該化合物多結晶半導体層を構成する半導体の禁制帯幅よりも小さな値を有する化合物多結晶半導体からなる第5の層を有することを特徴とする請求項12乃至19記載の半導体装置。

【請求項21】上記化合物多結晶半導体層は多結晶GaAsからなることを特徴とする請求項20記載の半導体装置。

【請求項22】上記第5の層は、GaAsSb、InGaAs、InAsSb又はSiGeの多結晶からなることを特徴とする請求項21記載の半導体装置。

【請求項23】上記絶縁膜の側面が上記基板の主面に対して鋭角をなしていることを特徴とする請求項12又は13記載の半導体装置。

【請求項24】上記第4の層が上記化合物多結晶半導体層上に延びて形成されていることを特徴とする請求項12又は13記載の半導体装置。

【請求項25】第1導電型を有する基板と、該基板上に形成された第1導電型を有する第1の半導体からなる第1の分布ブラッグ反射層と、該第1の分布ブラッグ反射層上に形成された所望の形状を有する活性層と、該活性層上に形成された第1導電型とは逆の第2導電型を有する第2の半導体からなる第2の分布ブラッグ反射層と、該活性層と該第2の分布ブラッグ反射層との積層膜の周囲を囲んで前記第1の分布ブラッグ反射層上に形成された絶縁膜と、該第2の分布ブラッグ反射層の一部が露出するように該第2の分布ブラッグ反射層上に形成された

表面反射膜と、前記絶縁膜上に形成され、該露出部を介して該第2の分布ブラッグ反射層と電氣的に接続された抵抗率が $0.04\Omega\text{cm}$ 以下の化合物多結晶半導体からなる導電層と、該導電層と上記基板とにそれぞれ電氣的に接続された第1電極と第2電極とを有する面発光レーザを備えることを特徴とする半導体装置。

【請求項26】上記基板は、単結晶GaAsからなることを特徴とする請求項25記載の半導体装置。

【請求項27】上記第1及び第2の分布ブラッグ層は、単結晶AlAsと単結晶GaAsとからなる積層膜であることを特徴とする請求項25又は26記載の半導体装置。

【請求項28】上記活性層は、単結晶GaAs、単結晶AlGaAs及び単結晶InGaAsからなる積層膜であることを特徴とする請求項25乃至27記載の半導体装置。

【請求項29】単結晶半導体基板と、該基板表面に所定の間隔をおいて設けられた第1導電型を有するソース及びドレインと、該ソース及びドレイン間に設けられるチャンネルと、該チャンネル上に形成され、該チャンネルが設けられる半導体よりも禁制帯幅の大きなバリア層と、該バリア層上に形成された抵抗率が $0.04\Omega\text{cm}$ 以下の化合物多結晶半導体からなるゲート電極とを有するヘテロ絶縁ゲート電界効果トランジスタを備えた半導体装置。

【請求項30】上記チャンネルが設けられる半導体はGaAsであり、上記バリア層はAlGaAsからなることを特徴とする請求項29記載の半導体装置。

【請求項31】上記チャンネルが設けられる半導体はInGaAsであり、上記バリア層はInPからなることを特徴とする請求項29記載の半導体装置。

【請求項32】請求項12乃至24記載の半導体装置を用いて構成されたことを特徴とする電気回路。

【請求項33】請求項29乃至31記載の半導体装置を用いて構成されたことを特徴とする電気回路。

【請求項34】基板上に第1の膜を形成する工程と、該第1の膜上に、基板温度 550°C 以下、3族元素に対する5族元素の入射分圧比を20以上とした、分子線エピタキシー法、有機金属気相エピタキシー法、あるいは有機金属分子線エピタキシー法のいずれかにより、抵抗率が $0.04\Omega\text{cm}$ 以下の3-5族化合物多結晶半導体層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項35】上記基板温度は 450°C 以下であることを特徴とする請求項34記載の半導体装置の製造方法。

【請求項36】上記入射分圧比は、50~500であることを特徴とする請求項34又は35記載の半導体装置の製造方法。

【請求項37】上記第1の膜は、絶縁膜で有ることを特徴とする請求項34乃至36記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はヘテロ接合バイポーラトランジスタ、面発光レーザ、ヘテロ絶縁ゲート電界効果トランジスタ等の半導体装置およびその製造方法とそれらを用いた電気回路に関する。

【0002】

【従来の技術】従来の半導体装置、例えば、3-5族化合物半導体を用いたヘテロ接合バイポーラトランジスタでは、図3に示すように、化合物単結晶半導体からなるベース電極引出し領域5の下部に酸素イオン打ち込み領域13（以下寄生コレクタ領域という。）が形成されており、該領域のキャリアを空乏化させることでベース・コレクタ間寄生容量を低減させ、ヘテロ接合バイポーラトランジスタの高速化を図っていた。ここで、1は単結晶半導体基板、2は高ドープn型GaAs層、3はn型ドープGaAs層、7はアンドープGaAs層、8はn型ドープAlGaAs層、9は高ドープn型GaAs層、10はエミッタ電極、11はベース電極、12はコレクタ電極である。本技術は例えばアイ・イー・イー・イー・エレクトロン・デバイス・レターズ第EDL-5巻（1984年）第310頁から第312頁（IEEE Electron Device Letters EDL-5（1984）pp. 310-312）に開示されている。

【0003】また、従来の面発光レーザでは、図51に示すように、p型ブラッグ反射層34の引出し領域で、化合物単結晶半導体からなるベリリウムイオン打ち込み領域40の下部に酸素イオン打ち込み領域39を形成し、電流狭窄構造とすることにより、素子特性の向上を図っていた。ここで、31は高ドープn型GaAs基板、32はn型ブラッグ反射層、33はInGaAs歪量子井戸層（活性層）、35は Al_2O_3 膜、37はp型電極、38はn型電極、39は酸素イオン打ち込み領域、4は SiO_2 膜である。本技術は例えばアプライド・フィジックス・レターズ第56巻（1990年）第1942頁から第1944頁（Applied Physics Letters 56（1990）pp. 1942-1944）に開示されている。

【0004】さらに、従来のヘテロ絶縁ゲート電界効果トランジスタでは、図56のゲート電極6にタングステンやタングステンシリサイド等の金属あるいは金属半導体化合物を用いていた。ここで、1は単結晶半導体基板、5は高ドープp型GaAs層、35は Al_2O_3 膜、41はp型GaAsチャンネル層、42はアンドープAlGaAs層である。本技術は特開平1-161874に開示されている。

【0005】

【発明が解決しようとする課題】上記従来技術を用いたヘテロ接合バイポーラトランジスタの場合、ベース電極

引出し領域5は低抵抗とするために化合物単結晶半導体を用いられていた。そして、このベース電極引出し領域5は、化合物単結晶半導体からなる寄生コレクタ領域13上にエピタキシャル成長法で形成される。しかしながら、この化合物半導体は比誘電率が大きい（例えばGaAsの場合、比誘電率は約13）、3-5族化合物半導体ヘテロ接合バイポーラトランジスタにおいては、ベース・コレクタ間寄生容量を更に低減することは困難であった。

【0006】また、上記従来技術ではエミッタ領域の面積をエミッタ電極面積以下に微細化することが困難であり、素子全体の微細化によるベース・コレクタ間寄生容量のさらなる低減にも限界があった。

【0007】さらに、上記従来技術を用いた面発光レーザの場合、酸素イオン打込みに起因する結晶欠陥によってリーク電流が発生し、完全な電流狭窄構造とならないために素子特性が良好でなく、また、劣化しやすいとの問題があった。

【0008】さらに、上記従来技術を用いたヘテロ絶縁ゲート電界効果トランジスタの場合、ゲート電極形成時に半導体バリア層表面を大気に露出してしまうため、金属/半導体界面における界面準位密度が素子作製条件によりばらつき、その結果、素子特性がばらつくとの問題があった。また、金属は半導体に比べ加工しにくいこともあり、金属を用いてゲート電極を形成する場合、金属の加工寸法でゲート電極長が決まるため、微細加工や素子高集積化に対して不利であるという問題もあった。

【0009】本発明の目的は、高性能で信頼性の高い半導体装置及びその製造方法を提供することである。

【0010】例えば、ベース・コレクタ間寄生容量を低減して超高速で信頼の高いヘテロ接合バイポーラトランジスタやリーク電流が少なく特性が良好で長寿命の面発光レーザ、微細でばらつきのないゲート電極を備えた高性能で信頼性の高いヘテロ絶縁ゲート電界効果トランジスタ及びその製造方法等を提供することである。

【0011】本発明の他の目的は、高性能で信頼性の高い半導体装置を用いた超高速動作可能な電子回路を提供することである。

【0012】

【課題を解決するための手段】上記目的は、半導体装置、特に化合物半導体装置の電極や電極引出し領域、配線を化合物多結晶半導体を用いて形成することにより達成される。

【0013】上記他の目的は、電極や電極引出し領域、配線が化合物多結晶半導体で形成された化合物半導体装置を用いて構成された電子回路により達成できる。

【0014】上記目的は、上記化合物多結晶半導体として3-5族化合物多結晶半導体およびその混晶を用いることにより、より効果的に達成される。

【0015】上記目的は、上記化合物多結晶半導体に添

加する不純物としてベリリウム(Be)あるいは炭素(C)を用い、含有量を少なくとも $4 \times 10^{20} / \text{cm}^3$ とすることにより、より効果的に達成される。

【0016】上記目的は、上記3-5族化合物多結晶半導体層を、基板温度550℃以下、望ましくは450℃以下、3族元素に対する5族元素の入射分圧比を20以上、望ましくは50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、あるいは有機金属分子線エピタキシー法のいずれかにより形成することにより、より効果的に達成することができる。

【0017】特に、上記半導体装置がヘテロ接合バイポーラトランジスタの場合には、高ドープコレクタ領域の導電型を第1導電型とすると、ベース電極引出し領域と絶縁膜との間に、第1導電型あるいは不純物濃度が $1 \times 10^{17} / \text{cm}^3$ を越えない第2導電型の半導体層を少なくとも30nm設けること、ベース電極引出し領域における禁制帯幅の最小値をベース領域における禁制帯幅の最小値よりも小さくこと、エミッタ領域を単結晶領域と多結晶領域とから構成し、エミッタ電極を該単結晶領域および該多結晶領域の両領域に接する構成とすることにより、上記目的をより効果的に達成することができる。また、上記ベース電極引出し領域の形成を、基板温度550℃以下、望ましくは450℃以下、3族元素に対する5族元素の入射分圧比を20以上、望ましくは50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、有機金属分子線エピタキシー法のいずれかにより行うこと、或いは、上記ベース電極引出し領域と絶縁膜の間に少なくとも1分子層の半導体を分子線エピタキシー法により形成し、該ベース電極引出し領域を基板温度550℃以下、望ましくは450℃以下、3族元素に対する5族元素の入射分圧比を20以上、望ましくは50以上とした有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法により形成すること、また、コレクタ層の形成に関して、(a)単結晶半導体基板上に絶縁膜パターンを形成後、絶縁膜の存在しない領域のみに第1導電型あるいは不純物濃度が $1 \times 10^{17} / \text{cm}^3$ を越えない第2導電型の半導体層からなるコレクタ層を選択的にエピタキシャル成長する工程、および該コレクタ層上への絶縁膜の堆積およびエッチングによる表面の平坦化工程を有する、(b)単結晶基板全面に形成したコレクタ層を該基板とのなす角が鋭角となる側面を有する形状に加工する工程、ならびに絶縁膜の堆積およびエッチングによる表面の平坦化工程を有する、あるいは(c)単結晶半導体基板上に、該基板とのなす角が鋭角となる側面を有する絶縁膜パターンを形成後、コレクタ層を該単結晶半導体基板上ならびに該絶縁膜上に形成する工程を有することにより、上記目的をより効果的に達成することができる。

【0018】さらに、半導体装置が面発光レーザの場合には、第1導電型を有する単結晶半導体基板上に、第1

導電型の半導体からなる分布ブラッグ反射層、第1導電型あるいは第2導電型の半導体からなる活性層、および第2導電型の半導体からなる分布ブラッグ反射層を順次積層した領域と絶縁膜を堆積した領域を形成し、該両領域を第2導電型の3-5族化合物多結晶半導体層により接続することにより、より効果的に上記目的を達成することができる。また、上記第2導電型の3-5族化合物多結晶半導体層は不純物としてBeあるいはCを少なくとも $4 \times 10^{20} / \text{cm}^3$ 含有し、基板温度 550°C 以下、望ましくは 450°C 以下、3族元素に対する5族元素の入射分圧比を20以上、望ましくは50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、あるいは有機金属分子線エピタキシー法のいずれかにより形成することにより、より効果的に上記目的を達成することができる。

【0019】さらに、上記半導体装置がヘテロ絶縁ゲート電界効果トランジスタの場合には、単結晶半導体基板上に、第2導電型の半導体からなるチャネル層、キャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 以下で該チャネル層を形成する半導体よりも禁制帯幅の大きな半導体からなるバリア層、ならびに第2導電型の3-5族化合物多結晶半導体からなるゲート電極を有すること、また、上記3-5族化合物多結晶半導体は不純物としてBeあるいはCを少なくとも $4 \times 10^{20} / \text{cm}^3$ 含有し、背圧 1 Torr 以下程度の超高真空中での分子線エピタキシー法あるいは高純度水素雰囲気下での有機金属気相エピタキシー法によって堆積された非晶質層の加熱により形成することにより、より効果的に上記目的を達成することが出来る。

【0020】また、上記他の目的は、上記ヘテロ接合バイポーラトランジスタおよびヘテロ絶縁ゲート電界効果トランジスタ等の半導体装置をトランジスタ全部あるいは少なくとも差動増幅回路部に用いて電子回路を構成することにより達成することができる。

【0021】

【作用】化合物半導体装置では、一般に、低抵抗領域には不純物を高濃度にドーブした化合物単結晶半導体がいわれている。事実、現在知られている化合物多結晶半導体の抵抗率の最低値は $0.07 \Omega \text{ cm}$ であり、単結晶で得られている値よりも1桁以上高い。このため、上記各種問題が発生する。本願発明者らは、非単結晶半導体の低抵抗化を図るために種々検討した。その結果、化合物多結晶半導体でも十分に低い抵抗を得ることができることを見出した。本願発明は、この検討結果に基づいてなされたものである。

【0022】実験結果について、以下説明する。

【0023】本実験においては、化合物半導体としてGaAs、ドーピング用不純物としてベリリウムを用いた。なお、公知の実験結果についても併わせて示す。

【0024】図4は多結晶p型GaAsの抵抗率のドー

ピングレベル依存性を示す実験結果である。図4の破線はジャーナル・オブ・アプライド・フィジックス第51巻(1980年)第3794頁から第3800頁(Journal of Applied Physics 51 (1980) pp. 3794-3800)に示されたYangらの結果を示している。彼らは多結晶GaAs太陽電池への応用を目指して、p型不純物にZnを用い、基板温度 725°C で有機金属気相エピタキシー法により多結晶GaAsを形成した。しかし、粒径が $2-10 \mu\text{m}$ と大きく、抵抗率も $0.07 \Omega \text{ cm}$ までしか得られていない。ベース層幅は通常 100 nm 以下であり、ベース電極引出し領域の結晶粒がベース領域に連続に接続するためには粒径が 100 nm 以下でなければならないため、このような粒径の多結晶GaAsをヘテロ接合バイポーラトランジスタに適用することはできない。適用するために粒径を小さくすると、抵抗率は粒径にほぼ反比例して増加するため、さらに高抵抗化してしまう。ベース層の抵抗が大きいと高速動作の障害となる。このため、ベース層の抵抗率は通常 $0.004 \Omega \text{ cm}$ 程度の値が用いられており、ベース抵抗を大きく増大させないためには、ベース抵抗に占める該ベース電極引出し領域の抵抗が支配的にならない程度、具体的には該ベース電極引出し領域の抵抗率が該ベース層の抵抗率の10倍を越えない $0.04 \Omega \text{ cm}$ 以下とすることが必要であった。これが、従来の化合物多結晶半導体が半導体装置の導電材料として用いられていなかった大きな理由と考えられる。

【0025】一方、図3の白丸は本発明者らが行った実験結果で、 SiO_2 膜 400 nm 上に基板温度 450°C 、3族元素に対する5族元素の入射分圧比を50とした分子線エピタキシー法によりアンドープ多結晶GaAs層 30 nm を形成後、同一条件でBeドーブ多結晶GaAs層 100 nm を作製した場合の、抵抗率のドーピングレベル依存性を示している。抵抗率はドーピングレベルとともに減少したが、その減少率はドーピングレベル $2 \times 10^{20} / \text{cm}^3$ 付近を境に異った傾向を示した。p型多結晶GaAsの粒径は $30-50 \text{ nm}$ 程度で 100 nm 以下の条件を満足し、Beのドーピングレベルが $4 \times 10^{20} / \text{cm}^3$ を越えると抵抗率が $0.04 \Omega \text{ cm}$ 以下となった。また、基板温度をさらに低くするか、あるいは3族元素に対する5族元素の入射分圧比をさらに高くすると、同一ドーピングレベルと比較したBeドーブ多結晶GaAsの抵抗率はさらに低くなった。但し、基板温度が 550°C 程度では粒径が 100 nm と多少大きくなるが、実用上それほど問題なく使用することができる。また、入射分圧比は50から500が望ましいが、20以上でも低抵抗の化合物多結晶半導体層を得ることができる。

【0026】なお、図4では分子線エピタキシー法により作製したBeドーブ多結晶GaAs層の場合のみ示し

たが、有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法により作製したCドープ多結晶GaAs層の場合も、基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とすれば、Beドープ多結晶GaAs層とほぼ同一の結果の得られることがわかった。

【0027】また、ベース電極引出し領域と絶縁膜との間に、n型あるいは不純物濃度が $1 \times 10^{17} / \text{cm}^3$ を越えないp型の半導体層を少くとも30nm設けることで多結晶粒界の不連続に起因した抵抗率の増大という問題を避けることができる。これも今回新たに見出した実験結果に基づいており、図4を用いて説明する。図4の黒丸はSiO₂膜上にアンドープ多結晶GaAs層（バッファ層）を形成せずに直接Beドープ多結晶GaAs層100nmを、基板温度450℃、3族元素に対する5族元素の入射分圧比を50-200とした分子線エピタキシー法により作製した場合の結果である。3族元素に対する5族元素の入射分圧比が高いほど抵抗率は低くなったが、それでもアンドープ多結晶GaAs層のある場合に比較して高抵抗であった。これは多結晶の粒径が多結晶層膜厚の半分程度であるために、多結晶粒間に存在する空間による抵抗率の増大が観察されやすくなったためと考えられる。この傾向は多結晶層厚が100nmよりも薄くなると、さらに顕著となった。しかし、図4に白丸で示すようにベース電極引出し領域と絶縁膜との間にアンドープ多結晶GaAs層が少くとも30nm存在するだけで本問題は解決できることが明らかとなった。また、上記アンドープ多結晶GaAs層の代わりに、不純物としてSiを含んだ膜厚30nm以上のn型多結晶半導体層、あるいはBe濃度が $1 \times 10^{17} / \text{cm}^3$ を越えない膜厚30nm以上のp型多結晶半導体層を用いても同様な効果のあることが確認された。ここで、p型多結晶半導体を用いる場合にキャリア濃度の上限を設定したのは、真性領域におけるベース層幅の増大による遮断周波数低下を避けるためである。

【0028】さらに、ベース電極引出し領域における禁制帯幅の最小値をベース領域における禁制帯幅の最小値よりも小さくすることにより、ベース領域と同一の禁制帯幅を有する半導体層をベース電極引出し領域に用いた場合に比較して、ベース電極引出し領域におけるキャリア密度および移動度がともに増大、すなわちベース抵抗がさらに低減し、最大発振周波数がさらに増大した、超高速ヘテロ接合バイポーラトランジスタを提供できる効果もある。

【0029】さらに、エミッタ領域を単結晶領域と多結晶領域とから構成し、エミッタ電極を該単結晶領域および該多結晶領域の両領域に接するようすることにより、単結晶エミッタ領域の面積をエミッタ電極面積よりも小さくできるため、エミッタ領域の微細化が容易になる効果がある。これは、3-5族化合物多結晶半導体にn型

不純物を高濃度に添加しても低抵抗化しにくく、エミッタ電流は主にエミッタ単結晶領域を流れることに起因する効果である。

【0030】以上、ベース電極引出し領域の形成を基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、有機金属分子線エピタキシー法のいずれかにより行う場合の説明を行ったが、上記ベース電極引出し領域と絶縁膜の間に少くとも1分子層の半導体を分子線エピタキシー法により形成し、該ベース電極引出し領域を基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法により形成するようにしても全く同様な効果が得られる。ベース電極引出し領域と絶縁膜の間に少くとも1分子層の半導体を分子線エピタキシー法により形成するようにしたのは、有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法では絶縁膜上への半導体層の均一な成長が困難であるため、上記少くとも1分子層の半導体があればそれを核にして有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法により多結晶半導体層の成長が行えることになる。

【0031】さらに、コレクタ層の形成に関して、

(a) 単結晶半導体基板上に絶縁膜パターンを形成後、絶縁膜の存在しない領域のみに第2導電型あるいは不純物濃度が $1 \times 10^{17} / \text{cm}^3$ を越えない第1導電型の半導体層からなるコレクタ層を選択的にエピタキシャル成長する工程、および該コレクタ層上への絶縁膜の堆積およびエッチングによる表面の平坦化工程、(b) 単結晶基板全面に形成したコレクタ層を該基板とのなす角が鋭角となる側面を有する形状に加工する工程、および絶縁膜の堆積およびエッチングによる表面の平坦化工程、あるいは(c) 単結晶半導体基板上に、該基板とのなす角が鋭角となる側面を有する絶縁膜パターンを形成後、コレクタ層を該単結晶半導体基板上ならびに該絶縁膜上に形成する工程を有する製造方法とすることで、ベース電極引出し領域付近での断線等の問題なく、超高速ヘテロ接合バイポーラトランジスタを作製することが可能となる。すなわち、上記(a)では、コレクタ層の選択エピタキシャル成長の際に出現する{111}面等の(100)基板面から傾斜した半導体斜面と垂直加工した絶縁膜側面との間の空間に新たに絶縁膜を充填することで、該空間にベース層半導体が堆積してベース・コレクタ間の短絡や断線を生じる問題が防止できる。上記(b)では上記(a)で見られたコレクタ層と絶縁膜との空間を作製せずにコレクタ層側面を絶縁膜で埋め込むことができるので、ベース・コレクタ間の短絡や断線といった問題を防止できる。また、上記(c)では、絶縁膜パターン側面と基板とのなす角を鋭角とすることで、ベース電極引出し領域付近での断線の問題を回避できる効果がある。

【0032】次に、上記面発光レーザの場合、n型単結晶半導体基板上に、n型半導体分布ブラッグ反射層、半導体活性層、およびp型半導体分布ブラッグ反射層を順次積層した領域と絶縁膜を堆積した領域を形成し、該両領域の接続を不純物としてBeあるいはCを少くとも $4 \times 10^{20} / \text{cm}^3$ 含有し、基板温度 450°C 以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法、有機金属気相エピタキシー法、あるいは有機金属分子線エピタキシー法のいずれかにより形成した3-5族化合物多結晶半導体層により行うことで、酸素イオン打込みを用いない完全電流狭窄構造が実現でき、面発光レーザの特性が大幅に向上する効果がある。

【0033】また、上記ヘテロ絶縁ゲート電界効果トランジスタの場合、単結晶半導体基板上に、p型半導体チャネル層、キャリア濃度が $1 \times 10^{17} / \text{cm}^3$ 以下で該チャネル層を形成する半導体よりも禁制帯幅の大きな半導体からなるバリア層、ならびに不純物としてBeあるいはCを少くとも $4 \times 10^{20} / \text{cm}^3$ 含有し、分子線エピタキシー法あるいは有機金属気相エピタキシー法により形成したp型3-5族化合物多結晶半導体からなるゲート電極を超高真空中または高純度水素雰囲気下における一貫プロセスにより作製するようにすることで、該バリア層と該ゲート電極との間の界面準位密度が低減し、素子作製条件による該界面準位密度のばらつきも低減する効果がある。さらに、ゲート電極が半導体であるため、金属に比較して微細加工が可能となり、素子の高集積化が容易になる効果もある。

【0034】以上述べたように、化合物多結晶半導体を低抵抗導電材料として用いることにより、上記半導体装置に限らず他の各種半導体装置においても高性能化を達成することができる。特に、絶縁膜上に低抵抗化合物多結晶半導体を形成することにより、より大きな効果がえられる。

【0035】また、上記他の目的を達成するために、上記ヘテロ接合バイポーラトランジスタおよび上記ヘテロ絶縁ゲート電界効果トランジスタをトランジスタ全部あるいは少なくとも差動増幅回路部にのみ用いて電子回路を構成するようにすることで、超高速動作可能な電子回路が供給できる効果がある。さらに、該ヘテロ絶縁ゲート電界効果トランジスタをトランジスタを用いた電子回路の場合、ゲート電極に用いた3-5族化合物多結晶半導体を配線としても用いることが可能となり、従来の金属による配線工程を簡略化し、製造コストを低減できる効果もある。

【0036】

【実施例】（実施例1）以下本発明の第1の実施例を図1を用いて説明する。図1はベース電極が多結晶領域のみに接する場合のAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。単結晶半

導体基板1としてGaAs(100)基板を用い、サブコレクタ層として高ドープn型GaAs層2(Si濃度 $=5 \times 10^{18} / \text{cm}^3$ 、膜厚 $=500 \text{ nm}$)、コレクタ層としてn型ドープGaAs層3(Si濃度 $=5 \times 10^{16} / \text{cm}^3$ 、膜厚 $=400 \text{ nm}$)、ベース層として高ドープp型GaAs層5(Be濃度 $=4 \times 10^{20} / \text{cm}^3$ 、膜厚 $=100 \text{ nm}$)、ベース層不純物Beの拡散吸収層(スペーサ層)としてアンドープGaAs層7(膜厚 $=50 \text{ nm}$)、エミッタ層としてn型ドープAl

GaAs層8(AlAsモル比 $=0.3$ 、Si濃度 $=1 \times 10^{18} / \text{cm}^3$ 、膜厚 $=150 \text{ nm}$)、エミッタオーミック接触形成用のキャップ層として高ドープn型GaAs層9(Si濃度 $=5 \times 10^{18} / \text{cm}^3$ 、膜厚 $=200 \text{ nm}$)をトランジスタの真性部分に備えており、寄生コレクタ領域にSiO₂膜4(膜厚 400 nm)、ベース電極引出し領域には高ドープp型多結晶GaAs層6(Be濃度 $=4 \times 10^{20} / \text{cm}^3$ 、膜厚 $=100 \text{ nm}$)を有している。エミッタ電極10およびコレクタ電極12にはAuGe(膜厚 $=200 \text{ nm}$)を、ベース電極11にはAuZn(膜厚 $=200 \text{ nm}$)を用いた。

【0037】本実施例によれば、寄生コレクタ領域に比誘電率の低いSiO₂膜を、ベース電極引出し領域にBe濃度が $4 \times 10^{20} / \text{cm}^3$ 以上のGaAs多結晶層を用いたことにより、従来構造に比較してベース抵抗の顕著な増大を伴わずに、ベース・コレクタ間寄生容量を約1/3に低減できる結果、最大発振周波数を従来の1.7倍程度にできる効果があった。

【0038】また、コレクタ領域幅を広げてベース電極が多結晶・単結晶両領域に接するような構造を有するヘテロ接合バイポーラトランジスタを図2に示す。ここで、図2において図1と同じ符号は同じ構成要素を意味する。本構造とすることにより、図1に示したヘテロ接合バイポーラトランジスタに比較してベース・コレクタ間寄生容量は数%増大するが、ベース電極の接触抵抗が低減するためほぼ同等の特性が得られた。

【0039】（実施例2）次に、本願発明に係る化合物多結晶半導体を用いた他の断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタについて図5を用いて説明する。

【0040】図5に示したヘテロ接合バイポーラトランジスタでは図1のそれにおける高ドープp型GaAs層5、高ドープp型多結晶GaAs層6の膜厚を 100 nm から 70 nm に低減し、SiO₂膜4と層5および層6の間に、n型ドープGaAs層14(Si濃度 $=5 \times 10^{16} / \text{cm}^3$ 、膜厚 $=30 \text{ nm}$)、n型ドープ多結晶GaAs層15(Si濃度 $=5 \times 10^{16} / \text{cm}^3$ 、膜厚 $=30 \text{ nm}$)を設けている。その他の層構造は図1のヘテロ接合バイポーラトランジスタと同一の構造である。

【0041】本実施例によれば、ベース電極引出し領域の厚さが 70 nm と薄くても、絶縁膜上にバッファ層が

30 nm存在しているので、多結晶粒界の不連続に起因したベース抵抗の増大をもたらさずにベース層幅を薄くできるとともに、寄生コレクタ領域に比誘電率の低いSiO₂膜を用いてベース・コレクタ間寄生容量を低減することができるため、遮断周波数と最大発振周波数のともに高い超高速ヘテロ接合バイポーラトランジスタを実現できる効果があった。

【0042】(実施例3) 以下本発明の第3の実施例を図6を用いて説明する。図6は他の構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタであり、図1に示したヘテロ接合バイポーラトランジスタにおける高ドープp型多結晶GaAs層6上に、層6よりも禁制帯幅の小さな高ドープ多結晶GaAsSb層16 (GaSbモル比=0.8、C濃度=4×10²⁰/cm³、膜厚=200 nm) をベース電極引出し領域の一部として有している。その他の層構造は図1と同一である。

【0043】本実施例によれば、ベース電極引出し領域の禁制帯幅の最小値(室温で約0.7 eV)をベース層の禁制帯幅の最小値(室温で約1.43 eV)よりも小さくできるため、ベース電極引出し領域におけるキャリア密度および移動度が増大し、ベース抵抗が実施例1よりもさらに低減し、超高速ヘテロ接合バイポーラトランジスタを実現できた。

【0044】なお、本実施例では層16に多結晶GaAsSb (GaSbモル比=0.8)を用いたが、混晶組成はこの通りでなくてもよく、またGaAsSbの代わりにInGaAs、InAsSb、SiGe等の禁制帯幅の小さな他の半導体の多結晶を用いてもよい。

【0045】(実施例4) 以下本発明の第4の実施例を図7を用いて説明する。図7はAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。図7に示したヘテロ接合バイポーラトランジスタでは図1における高ドープp型多結晶GaAs層6とSiO₂膜4の間にn型ドープ多結晶GaAs層17 (Si濃度=5×10¹⁶/cm³、膜厚=400 nm)が存在した構造で、SiO₂膜側面は基板に対して鋭角をなししている。容量測定の結果、層17のキャリアは空乏化してベース・コレクタ間寄生容量は図1の場合の約4/5、従来技術の約4/15に低減することがわかった。

【0046】本実施例によれば、寄生コレクタ領域に絶縁膜とともに空乏化した半導体層も用いるので、ベース・コレクタ間寄生容量を絶縁膜のみの場合に比較してさらに低減でき、最大発振周波数をさらに高くできる効果があった。

【0047】(実施例5) 以下本発明の第5の実施例を図8を用いて説明する。図8は他のAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。図8では図1におけるコレクタ領域幅を狭くして、単結晶である層7、8、9の周囲に、アンドープ多

結晶GaAs層18 (膜厚=50 nm)、n型ドープ多結晶AlGaAs層19 (AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150 nm)、高ドープn型多結晶GaAs層20 (Si濃度=5×10¹⁸/cm³、膜厚=200 nm)が存在する構造となっている。種々のエミッタ面積を有するトランジスタの電流-電圧特性を調べた結果、エミッタ電流はエミッタの単結晶領域である層7、8、9を主に流れ、層18、19、20にはほとんど流れないことが明らかとなった。

【0048】本実施例によれば、エミッタ電極を単結晶領域と多結晶領域の両方に接するように構成されるため、エミッタ単結晶領域の面積をエミッタ面積よりも小さくできた結果、エミッタ領域の微細化とともに素子全体の微細化が容易になり、寄生容量の小さな超高速ヘテロ接合バイポーラトランジスタを実現できる効果があった。

【0049】なお、上記実施例1~5ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタを示したが、InAlAs/InGaAsやInP/InGaAs等の他の3-5族化合物半導体を用いたヘテロ接合バイポーラトランジスタについても全く同様に適用でき、その際のベース層不純物はBeの代わりにCでもよい。また、本実施例では寄生コレクタ領域にSiO₂膜を用いたが、Si₃N₄膜等の他の絶縁膜を用いてもよい。さらに、本実施例では基板にGaAs (100)面を用いたが、他の材料や他の面方位を用いてもよいのはもちろんである。

【0050】(実施例6) 次に本発明の第1の実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の第1例を図9~図15を用いて説明する。

【0051】図9~図13は、図1に示した縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の第1例を示す工程図である。はじめにGaAs (100)基板1を硫酸、過酸化水素、水の混合液からなるエッチング液によりエッチングし、流水洗浄後分子線エピタキシー装置内に導入する。As₄分子線照射下で基板1を580℃に加熱して表面の自然酸化膜を除去し、基板温度580℃、Gaに対するAs₄の入射分圧比15の条件で高ドープn型GaAs層2 (Si濃度=5×10¹⁸/cm³、膜厚=500 nm)のエピタキシャル成長を行った。続いて、基板を分子線エピタキシー装置から取り出し、熱分解化学的気相分解法によりSiO₂膜4 (膜厚=300 nm)を堆積した(図9)。

【0052】ホトリソグラフィおよびドライエッチングによるSiO₂膜の垂直加工後、基板を有機金属気相エピタキシー装置内に導入し、n型ドープGaAs層3 (Si濃度=5×10¹⁶/cm³、膜厚=400 nm)の選択エピタキシャル成長を行った(図10)。続く

【0055】ここで、ベース電極引出し領域の表面出しエッチングの際に、図13に示した通りに、層6の表面を正確に出す必要は必ずしも無い。これは高ドーパ型多結晶GaAs層6のシート抵抗とベース電極の比接触抵抗のエッチング深さ依存性を調べた実験結果に基づいており、図14および図15を用いて説明する。図14(a)はベース電極引出し領域の表面出しエッチングの際に層6をオーバーエッチングした場合、図14(b)は層18または層19の一部を残してエッチングした場合ののミッタ・ベース領域付近の拡大図である。層18表面からのエッチング深さを d とすると、 $d = d_s$ (d_s は層18の膜厚で本実験では70nm)のときにベース電極引出し領域の表面出しが正確に行われたことになる。ベース電極にAuZn系のアロイ電極を用い、ベース層不純物にBeを用いた場合の実験結果を図15に示したが、 $-100\text{ nm} < d < 80\text{ nm}$ 、すなわち図14(a)における層6のオーバーエッチング深さが80nm以下、あるいは図14(b)における層18および層19のエッチング残し厚さが100nm以下であれば、シート抵抗は低いまま維持され、比接触抵抗の増大もあまり問題とならない程度であることがわかった。このことはベース層不純物にCを用いてもベース電極にA

【0059】試料を分子線エピタキシー装置から取り出し、有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置へ導入後、基板温度450℃、Gaに対するAs₄の入射分圧比50の条件で、高ドーピング型GaAs層5（C濃度=4×10²⁰/cm³、膜厚=100nm）および高ドーピング型多結晶GaAs層6（C濃度=4×10²⁰/cm³、膜厚=100nm）の同時形成を行い、続いて基板温度450℃、Gaに対するAs₄の入射分圧比15の条件でn型ドーピングAlGaAs層8（AlAsモル比=0.3、Si濃度=1×1

$0^{18}/\text{cm}^3$ 、膜厚=150nm)とn型ドーブ多結晶AlGaAs層19 (AlAsモル比=0.3、Si濃度= $1 \times 10^{18}/\text{cm}^3$ 、膜厚=150nm)、高ドーブn型GaAs層9 (Si濃度= $5 \times 10^{18}/\text{cm}^3$ 、膜厚=200nm)と高ドーブn型多結晶GaAs層20 (Si濃度= $5 \times 10^{18}/\text{cm}^3$ 、膜厚=200nm)のそれぞれの同時形成を行った(図17)。

【0060】試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置から取り出した後に、ホトリソグラフィおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図18)。

【0061】本実施例によれば、ベース電極引出し領域と絶縁膜の間に少なくとも1分子層の半導体を分子線エピタキシー法により形成するので、絶縁膜上への半導体層の成長の困難な有機金属気相エピタキシー法や有機金属分子線エピタキシー法を用いても、絶縁膜上の半導体層を核として多結晶半導体層の成長が行える。有機金属気相エピタキシー法や有機金属分子線エピタキシー法を用いると、分子線エピタキシー法では高濃度ドーピング困難なCがp型不純物として利用できる。ここで、CはBeに比較して拡散しにくい不純物であることから、Be拡散吸収層として実施例6で用いた層7および層18は不要になるとともに、素子特性の再現性ならびに信頼性に優れたヘテロ接合バイポーラトランジスタを作製できる効果がある。また、コレクタ層の選択エピタキシャル成長の際に出現する{111}面等の傾斜した半導体斜面と垂直加工した絶縁膜側面との間の空間に塗布絶縁膜を充填するので、該空間にベース層半導体層が堆積してベース・コレクタ間の短絡や断線を生じる問題なしに、歩留よくヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0062】(実施例8)以下第1実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を図19～図23を用いて説明する。

【0063】図19～図23は図1に示した縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。はじめにGaAs(100)基板1を硫酸、過酸化水素、水の混合液からなるエッチング液によりエッチングし、流水洗浄後分子線エピタキシー装置内に導入する。As₄分子線照射下で基板1を580℃に加熱して表面の自然酸化膜を除去し、基板温度580℃、Gaに対するAs₄の入射分圧比15の条件で高ドーブn型GaAs層2 (Si濃度= $5 \times 10^{18}/\text{cm}^3$ 、膜厚=500nm)、n型ドーブGaAs層3 (Si濃度= $5 \times 10^{16}/\text{cm}^3$ 、膜厚=400nm)のエピタキシャル成長

を行った。続いて、試料を分子線エピタキシー装置から取り出し、ホトリソグラフィおよびエッチングにより層3を基板に対して鋭角となる側面を有するように加工した(図19)。

【0064】熱分解化学的気相分解法によりSiO₂膜4 (膜厚=400nm)を堆積後、塗布絶縁膜21 (膜厚=2μm)を塗布して表面の平坦化を行った(図20)。続いて、絶縁膜のエッチバックによる層3表面の露出を行い(図21)、試料を分子線エピタキシー装置内に導入した。As₄分子線照射下で基板を580℃に加熱して表面の自然酸化膜を除去後、450℃に降温して、Gaに対するAs₄の入射分圧比を150として、高ドーブp型GaAs層5 (Be濃度= $4 \times 10^{20}/\text{cm}^3$ 、膜厚=100nm)および高ドーブp型多結晶GaAs層6 (Be濃度= $4 \times 10^{20}/\text{cm}^3$ 、膜厚=100nm)の同時形成を行い、続いて基板温度450℃、Gaに対するAs₄の入射分圧比15の条件でアンドーブGaAs層7 (膜厚=50nm)とアンドーブ多結晶GaAs層18 (膜厚=50nm)、n型ドーブAlGaAs層8 (AlAsモル比=0.3、Si濃度= $1 \times 10^{18}/\text{cm}^3$ 、膜厚=150nm)とn型ドーブ多結晶AlGaAs層19 (AlAsモル比=0.3、Si濃度= $1 \times 10^{18}/\text{cm}^3$ 、膜厚=150nm)、高ドーブn型GaAs層9 (Si濃度= $5 \times 10^{18}/\text{cm}^3$ 、膜厚=200nm)と高ドーブn型多結晶GaAs層20 (Si濃度= $5 \times 10^{18}/\text{cm}^3$ 、膜厚=200nm)のそれぞれの同時形成を行った(図22)。

【0065】試料を分子線エピタキシー装置から取り出した後に、ホトリソグラフィおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図23)。

【0066】本実施例によれば、ベース電極引出し領域の形成を、基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法により行うので、寄生コレクタ領域に比誘電率の低いSiO₂膜を用いてベース電極引出し領域が多結晶となっても、ベース抵抗の顕著な増大を伴わずに、ベース・コレクタ間寄生容量の小さな超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、コレクタ層側面が基板となす角を鋭角にする工程と、絶縁膜の堆積とエッチングによる表面の平坦化工程を有するので、コレクタ層側面を完全に絶縁膜で埋め込むことができ、ベース・コレクタ間の短絡や断線の問題なく、歩留よくヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0067】(実施例9)以下第2実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法を図9～図13、図16～図18および図1

9～図23を用いて説明する。

【0068】図5に示した縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法は、図1に示した縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の第1例（実施例6、図9～図13）、第2例（実施例7、図16～図18）、第3例（実施例8、図19～図23）と基本的に同じである。本実施例では実施例6～8において、層5および層6の膜厚を70nmとし、それらを絶縁膜上に形成する直前に分子線エピタキシー法を用いて基板温度450℃、Gaに対するAs₄の入射分圧比200の条件でn型ドーブGaAs層14（Si濃度=5×10¹⁶/cm³、膜厚=30nm）およびn型ドーブ多結晶GaAs層15（Si濃度=5×10¹⁶/cm³、膜厚=30nm）を同時形成した。

【0069】本実施例によれば、ベース層5と同時形成するベース電極引出し領域6の膜厚が70nmと薄くなっても、多結晶粒界の不連続に起因した抵抗率の増大といった問題が起こらないため、ベース層薄層化による遮断周波数の増大とベース抵抗の低減による最大発振周波数の増大を同時に満足する、超高速ヘテロ接合バイポーラトランジスタを製造できる効果がある。また、コレクタ層形成に関して、(a)単結晶半導体基板上に絶縁膜パターンを形成後、絶縁膜の存在しない領域のみに第n型あるいは不純物濃度が1×10¹⁷/cm³を越えないp型の半導体層からなるコレクタ層を選択的にエピタキシャル成長する工程、および該コレクタ層上への絶縁膜の堆積およびエッチングによる表面の平坦化工程を有する、あるいは(b)単結晶基板全面に形成したコレクタ層を該基板とのなす角が鋭角となる側面を有する形状に加工する工程、ならびに絶縁膜の堆積およびエッチングによる表面の平坦化工程を有する製造方法とすることで、ベース電極引出し領域付近での断線等の問題なく、歩留よく超高速ヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0070】（実施例10）以下第3実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を図24～図27を用いて説明する。

【0071】図24～図27は図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。図9～図11までは実施例6と同様である。図11の状態に基板温度450℃、Gaに対するAs₄の入射分圧比50の条件で、分子線エピタキシー法により、高ドーブp型GaAs層5（Be濃度=4×10²⁰/cm³、膜厚=100nm）と高ドーブp型多結晶GaAs層6（Be濃度=4×10²⁰/cm³、膜厚=100nm）、および高ドーブp型GaAsSb層24（GaSbモル比=0.8、Be濃度=4×10²⁰/cm³、膜厚=200nm）と高ドーブp型多結晶GaAsSb層16（Ga

Sbモル比=0.8、Be濃度=4×10²⁰/cm³、膜厚=200nm）の同時形成を行った（図24）。

【0072】試料を分子線エピタキシー装置から取り出し、SiO₂膜25（膜厚=100nm）の堆積、ならびにホトリソグラフィおよびエッチングによる層25、層16、層6の選択的除去を行い（図25）、続いてSiO₂側壁26（最大幅=0.3μm）をSiO₂膜の堆積およびエッチング工程により形成した。試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置に移し、基板温度550℃、Gaに対するAs₄の入射分圧比15の条件でn型ドーブAlGaAs層8（AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150nm）および高ドーブn型GaAs層9（Si濃度=5×10¹⁸/cm³、膜厚=200nm）の選択エピタキシャル成長を行った。（図26）。試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置から取り出した後に、ホトリソグラフィおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した（図27）。

【0073】本実施例によれば、ベース電極引出し領域における禁制帯幅の最小値（室温で約0.7eV）をベース層の禁制帯幅の最小値（室温で約1.43eV）よりも小さくできるため、ベース電極引出し領域におけるキャリア密度および移動度が増大し、ベース抵抗の低く、ベース・コレクタ間容量の小さな超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、また、コレクタ層の選択エピタキシャル成長の際に出現する{111}面等の傾斜した半導体斜面と垂直加工した絶縁膜側面との間の空間に塗布絶縁膜を充填するので、該空間にベース層半導体層が堆積してベース・コレクタ間の短絡や断線を生じる問題なしに、歩留よくヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0074】なお、本実施例では層16に多結晶GaAsSb（GaSbモル比=0.8）を用いたが、混晶組成はこの通りでなくてもよく、またGaAsSbの代わりにInGaAs、InAsSb、SiGe等の禁制帯幅の小さな他の半導体の多結晶を用いてもよい。

【0075】（実施例11）以下第3実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を図28～図30を用いて説明する。

【0076】図28～図30は図6に示した縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。図9から図12までは実施例6と同様である。図12の状態にSiO₂膜25（膜厚=100nm）を堆積後、

21

ホトリソグラフィーおよびエッチングにより層20、層19、層18の選択的除去を行った(図28)。その後、新たに SiO_2 膜25(膜厚=500nm)を堆積後、ホトリソグラフィーおよびエッチングにより SiO_2 側壁26(最大幅=0.3 μm)の加工を行った(図29)。

【0077】続いて、試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置に移し、基板温度500℃、Gaに対する(As_4+Sb_4)の入射分圧比50の条件で高ドーピング型多結晶GaAsSb層16(GaSbモル比=0.8、C濃度=4 $\times 10^{20}/\text{cm}^3$ 、膜厚=200nm)の選択エピタキシャル成長を行った。試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置から取り出した後に、層25および層26の除去を行い、ホトリソグラフィーおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図30)。

【0078】本実施例によれば、ベース電極引出し領域における禁制帯幅の最小値(室温で約0.7eV)をベース層の禁制帯幅の最小値(室温で約1.43eV)よりも小さくできるため、ベース電極引出し領域におけるキャリア密度および移動度が増大し、ベース抵抗の低く、ベース・コレクタ間容量の小さな超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、コレクタ層の選択エピタキシャル成長の際に出現する{111}面等の傾斜した半導体斜面と垂直加工した絶縁膜側面との間の空間に塗布絶縁膜を充填するので、該空間にベース層半導体層が堆積してベース・コレクタ間の短絡や断線を生じる問題なしに、歩留よくヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0079】なお、本実施例では層16に多結晶GaAsSb(GaSbモル比=0.8)を用いたが、混晶組成はこの通りでなくてもよく、またGaAsSbの代わりにInGaAs、InAsSb、SiGe等の禁制帯幅の小さな他の半導体の多結晶を用いてもよい。

【0080】(実施例12)以下第3実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を図31～図37を用いて説明する。

【0081】図31～図37は図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。図9～図11までは実施例6と同様である。図11の状態に分子線エピタキシー法により、基板温度450℃、Gaに対する As_4 の入射分圧比50の条件で高ドーピング型GaAs層5(Be濃度=4 $\times 10^{20}/\text{cm}^3$ 、膜厚=100nm)および高ドーピング型多結晶GaAs層6(Be濃度=4 $\times 10^{20}/\text{cm}^3$ 、膜厚=100nm)

22

を絶縁膜上に同時形成した(図31)。

【0082】試料を分子線エピタキシー装置から取り出した後に、 SiO_2 膜25(膜厚=400nm)を堆積後、ホトリソグラフィーおよびエッチングにより層25の垂直加工を行った(図32)。その後、試料を分子線エピタキシー装置内へ再び導入し、基板温度450℃、Gaに対する(As_4+Sb_4)の入射分圧比50の条件で高ドーピング型多結晶GaAsSb層16(GaSbモル比=0.8、Be濃度=4 $\times 10^{20}/\text{cm}^3$ 、膜厚=300nm)を全面に堆積した。再び試料を分子線エピタキシャル成長装置から取り出し、塗布絶縁膜21(膜厚=2 μm)を塗布し、表面の平坦化を行った(図33)。

【0083】その後、塗布絶縁膜のエッチバックを行い(図34)、高ドーピング型多結晶GaAsSb層16のエッチング、ならびにホトリソグラフィーおよびエッチングによる SiO_2 膜25の除去を行った(図35)。

【0084】 SiO_2 膜の堆積およびエッチング工程による SiO_2 膜側壁26(最大幅=0.3 μm)を形成後、試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置に移した。基板温度550℃、Gaに対する As_4 の入射分圧比15の条件でアンドーピングGaAs層7(膜厚=30nm)、n型ドーピングAlGaAs層8(AlAsモル比=0.3、Si濃度=1 $\times 10^{18}/\text{cm}^3$ 、膜厚=150nm)、高ドーピングn型GaAs層9(Si濃度=5 $\times 10^{18}/\text{cm}^3$ 、膜厚=200nm)の選択エピタキシャル成長を行った(図36)。

【0085】試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置から取り出した後に、表面に露出した SiO_2 膜を除去し、ホトリソグラフィーおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図37)。

【0086】本実施例によれば、ベース電極引出し領域における禁制帯幅の最小値(室温で約0.7eV)をベース層の禁制帯幅の最小値(室温で約1.43eV)よりも小さくできるため、ベース電極引出し領域におけるキャリア密度および移動度が増大し、ベース抵抗の低く、ベース・コレクタ間容量の小さな超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、コレクタ層の選択エピタキシャル成長の際に出現する{111}面等の傾斜した半導体斜面と垂直加工した絶縁膜側面との間の空間に塗布絶縁膜を充填するので、該空間にベース層半導体層が堆積してベース・コレクタ間の短絡や断線を生じる問題なしに、歩留よくヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0087】なお、図37ではベース電極とコレクタ電極を片側にのみ設けた構造としたが、図6のようにそれ

ぞれ両側に設けた構造としてもよいのはもちろんである。また、本実施例では層16に多結晶GaAsSb (GaSbモル比=0.8)を用いたが、混晶組成はこの通りでなくてもよく、またGaAsSbの代わりにInGaAs、InAsSb、SiGe等の禁制帯幅の小さな他の半導体の多結晶を用いてもよい。

【0088】(実施例13)以下第4実施例に示したAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を図38~図40を用いて説明する。

【0089】図38~図40は図7に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の第1例を示す工程図である。図9の状態までは実施例6と同様である。図9の状態にホトリソグラフィおよびエッチングにより、SiO₂膜4の側面が基板と鋭角をなすように加工した(図38)。次に、試料を分子線エピタキシー装置に導入し、基板温度450℃、Gaに対するAs₄の入射分圧比15の条件で、n型ドープGaAs層3 (Si濃度=5×10¹⁶/cm³、膜厚=400nm)とn型ドープ多結晶GaAs層17 (Si濃度=5×10¹⁶/cm³、膜厚=400nm)の同時形成後、基板温度450℃、Gaに対するAs₄の入射分圧比50の条件で、高ドープp型GaAs層5 (Be濃度=4×10²⁰/cm³、膜厚=100nm)と高ドープp型多結晶GaAs層6 (Be濃度=4×10²⁰/cm³、膜厚=100nm)の同時形成を行った。続いて、基板温度450℃、Gaに対するAs₄の入射分圧比15の成長条件に戻して、アンドープGaAs層7 (膜厚=50nm)とアンドープ多結晶GaAs層18 (膜厚=50nm)、n型ドープAlGaAs層8 (AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150nm)とn型ドープ多結晶AlGaAs層19 (AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150nm)、高ドープn型GaAs層9 (Si濃度=5×10¹⁸/cm³、膜厚=200nm)と高ドープn型多結晶GaAs層20 (Si濃度=5×10¹⁸/cm³、膜厚=200nm)のそれぞれの同時形成を行った(図39)。

【0090】基板を分子線エピタキシー装置から取り出した後に、ホトリソグラフィおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図40)。

【0091】本実施例によれば、ベース電極引出し領域の形成を、基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法により行うので、寄生コレクタ領域に比誘電率の低いSiO₂膜を用いてベース電極引出し領域が多結晶となっても、ベース抵抗の顕著な増大を伴わずに、ベース

・コレクタ間寄生容量の小さな、超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、SiO₂膜側面と基板とのなす角を鋭角とすることで、ベース電極引出し領域付近での断線の問題を回避して、歩留よく超高速ヘテロ接合バイポーラトランジスタを作製できる効果もある。さらに、寄生コレクタ領域にSiO₂膜とともに空乏化した半導体層も用いるので、ベース・コレクタ間寄生容量をSiO₂膜のみの場合に比較してさらに低減でき、最大発振周波数をさらに高くできる効果もある。

【0092】(実施例14)以下第4実施例に示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を図41~図43を用いて説明する。

【0093】図41~図43は図7に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。図38の状態までは実施例13と同様である。図38の状態に分子線エピタキシー法により、基板温度550℃、Gaに対するAs₄の入射分圧比15の条件で、アンドープGaAs1分子層22およびアンドープ多結晶GaAs1分子層23をSiO₂膜パターン上に同時形成した(図41)。この際、層22および層23の膜厚は1分子層以上であれば厚くても構わない。

【0094】試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置へ移し、基板温度450℃、Gaに対するAs₄の入射分圧比15の条件で、n型ドープGaAs層3 (Si濃度=5×10¹⁶/cm³、膜厚=400nm)とn型ドープ多結晶GaAs層17 (Si濃度=5×10¹⁶/cm³、膜厚=400nm)を同時形成した。その後、基板温度450℃、Gaに対するAs₄の入射分圧比50の条件で、高ドープp型GaAs層5 (Be濃度=4×10²⁰/cm³、膜厚=100nm)と高ドープp型多結晶GaAs層6 (Be濃度=4×10²⁰/cm³、膜厚=100nm)の同時形成を行い、続いて基板温度450℃、Gaに対するAs₄の入射分圧比15の成長条件に戻して、n型ドープAlGaAs層8 (AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150nm)とn型ドープ多結晶AlGaAs層19 (AlAsモル比=0.3、Si濃度=1×10¹⁸/cm³、膜厚=150nm)、高ドープn型GaAs層9 (Si濃度=5×10¹⁸/cm³、膜厚=200nm)と高ドープn型多結晶GaAs層20 (Si濃度=5×10¹⁸/cm³、膜厚=200nm)のそれぞれの同時形成を行った(図42)。

【0095】基板を分子線エピタキシー装置から取り出した後に、ホトリソグラフィおよびエッチングによりベース電極引出し領域およびサブコレクタ層の表面出しを行い、エミッタ電極10、ベース電極11、コレクタ

電極12を形成し、ヘテロ接合バイポーラトランジスタを作製した(図43)。

【0096】本実施例によれば、ベース電極引出し領域の形成を、基板温度450℃以下、3族元素に対する5族元素の入射分圧比を50以上とした分子線エピタキシー法により行うので、寄生コレクタ領域に比誘電率の低いSiO₂膜を用いてベース電極引出し領域が多結晶となっても、ベース抵抗の顕著な増大を伴わずに、ベース・コレクタ間寄生容量の小さな、超高速ヘテロ接合バイポーラトランジスタを作製できる効果がある。また、SiO₂膜側面と基板とのなす角を鋭角とすることで、ベース電極引出し領域付近での断線の問題を回避して、歩留よく超高速ヘテロ接合バイポーラトランジスタを作製できる効果もある。さらに、寄生コレクタ領域にSiO₂膜とともに空乏化した半導体層も用いるので、ベース・コレクタ間寄生容量をSiO₂膜のみの場合に比較してさらに低減でき、最大発振周波数をさらに高くできる効果もある。さらに、ベース電極引出し領域と絶縁膜の間に設けた少なくとも1分子層の半導体を核として、有機金属気相エピタキシー法や有機金属分子線エピタキシー法による多結晶半導体層の成長が行えるため、分子線エピタキシー法では高濃度ドーピング困難なCがp型不純物として利用できる。CはBeに比較して拡散しにくい不純物であることから、Be拡散吸収層である層7および層18が不要になるとともに、素子特性の再現性ならびに信頼性に優れたヘテロ接合バイポーラトランジスタを作製できる効果もある。

【0097】以上示した実施例6~14において、得られた化合物多結晶半導体の粒径は30~50nmの範囲であった。

【0098】なお、実施例6~14ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法について示したが、InAlAs/InGaAsやInP/InGaAs等の他の3-5族化合物半導体を用いたヘテロ接合バイポーラトランジスタの製造方法についても全く同様に適用できる。また、ベース不純物はBeの代わりに炭素(C)を用いても良い。本実施例では寄生コレクタ領域にSiO₂膜を用いたが、Si₃N₄膜等の他の絶縁膜を用いてもよい。さらに、本実施例では基板にGaAs(100)面を用いたが、他の材料や他の面方位を用いてもよいのはもちろんである。

【0099】(実施例15)ヘテロ接合バイポーラトランジスタを用いた差動増幅回路について図44を用いて説明する。

【0100】本実施例中で示すヘテロ接合バイポーラトランジスタのいずれかを、図44中のトランジスタQ1、Q2およびQ3に用いて差動増幅回路を作製した。なお、Viは入力電圧、Vo1、Vo2は出力電圧、VRは参照電圧、Vccbは一定電圧を示す。

【0101】本実施例によれば、ベース抵抗、ベース・

コレクタ間寄生容量のともに小さく、最大発振周波数の大きいヘテロ接合バイポーラトランジスタを用いて差動増幅回路が構成できるので、超高速動作可能な差動増幅回路、ならびにそれを基本単位とした電子回路システムを提供できる効果がある。

【0102】なお、本実施例ではAlGaAs/GaAsヘテロ接合バイポーラトランジスタを用いた差動増幅回路について示したが、InAlAs/InGaAsやInP/InGaAs等の他の3-5族化合物半導体からなるヘテロ接合バイポーラトランジスタを用いても全く同様な効果がある。

【0103】(実施例16)以下本発明の実施例である面発光レーザについて図45~図51を用いて説明する。

【0104】図45~図50は本発明に係る面発光レーザの製造方法を示す縦断面構造図である。始めに、高ドーブn型GaAs(100)基板31上にn型分布ブラッグ反射層32、アンドープ(実効的にキャリア濃度約 $2 \times 10^{16} / \text{cm}^3$ のn型)InGaAs歪量子井戸層(活性層)33、p型分布ブラッグ反射層34を、分子線エピタキシー法により基板温度550℃で成長した(図45(a))。ここで、層32、33、34は図45(b)に示すような層構造からなっている。すなわち、層32はp型GaAs482Å/p型AlAs613Å(Be濃度 $=4 \times 10^{18} / \text{cm}^3$)超格子20周期(ただし、最表面層はGaAs964Å)、層34はn型GaAs482Å/n型AlAs613Å(Si濃度 $=4 \times 10^{18} / \text{cm}^3$)超格子20周期からなる分布ブラッグ反射層であり、層33はInAsモル比=0.2のアンドープInGaAs80Åを井戸層、アンドープGaAs100ÅならびにアンドープGaAs500Åを障壁層とするInGaAs歪量子井戸層である。

【0105】試料を分子線エピタキシー装置から取りだし、ホトリソグラフィーおよびエッチングにより層33および34を選択的に除去した(図46)。その後、塗布絶縁膜21を1μm塗布して表面を平坦化し、エッチバックにより層34の表面を露出した(図47)。

【0106】続いて、表面反射膜となるSiO₂膜(膜厚800nm)4およびAl₂O₃膜(膜厚200nm)35を堆積後、ホトリソグラフィーおよびエッチングにより、層4および層35の選択的除去を行った(図48)。試料を分子線エピタキシー装置へ移し、基板温度450℃、Gaに対するAs₄の入射分圧比50の条件で、高ドーブp型多結晶GaAs層(Be濃度 $=4 \times 10^{20} / \text{cm}^3$ 、膜厚150nm)6の堆積を行った後に、試料を分子線エピタキシー装置から取りだしてホトレジスト(膜厚2μm)36により表面の平坦化を行った(図49(f))。

【0107】最後に、ホトレジストおよび高ドーブp型多結晶GaAs層のエッチバック、ならびにp型電極3

7およびn型電極38の形成を行って、面発光レーザを作製した(図50)。

【0108】図51には従来技術により作製された面発光レーザの縦断面構造図を示した。面発光レーザの特性向上に電流狭窄構造は不可欠であるが、これを従来技術では酸素イオン打込み領域39の形成により実現していた。これは酸素イオン打込みにより発生したGaAsの結晶欠陥による高抵抗化現象をしたものであるが、高抵抗化が必ずしも十分では無いために領域39内でリーク電流が発生したり、イオン打込みの影響が横方向に数 μm —10 μm も及ぶため電流狭窄領域の微細化が困難、すなわち面発光レーザの高集積化が困難である、などの問題を抱えていた。また、従来技術ではp型電極引出し領域としてベリリウムイオン打込み領域40を用いていたが、ベリリウムのイオン打込みによる活性化率は数%と低く、該引出し領域の低抵抗化が困難であるという問題もあった。

【0109】本発明によれば、従来技術における酸素イオン打込み領域39の代わりに絶縁膜21を、ベリリウムイオン打込み領域40の代わりに高ドーピング型多結晶GaAs6を用いることができるので、リーク電流や結晶欠陥の影響が無く、高集積化と同時にp型電極引出し領域の低抵抗化も図れるため、高周波応答ならびに信頼性に優れた超高集積面発光レーザを作製できる効果がある。

【0110】なお、本実施例ではInAsモル比=0.2のInGaAs歪量子井戸面発光レーザを示したが、他のInAsモル比や他の3-5族化合物半導体混晶を用いた面発光レーザに関しても同様に適用できるのはもちろんである。また、本実施例では層6中の不純物にBe、成長方法に分子線エピタキシー法を用いたが、少くとも1分子層厚のアンダーブレイクGaAsを分子線エピタキシー法により形成後、有機金属気相エピタキシー法あるいは有機金属分子線エピタキシー法によりCドーピング多結晶GaAsを形成してもよい。さらに、本実施例では基板にGaAs(100)面を用いたが、他の材料や他の面方位を用いてもよいのはもちろんである。

【0111】(実施例17)以下本発明の実施例であるヘテロ絶縁ゲート電界効果トランジスタについて図52～図56を用いて説明する。

【0112】図52～図56は本発明によるヘテロ絶縁ゲート電界効果トランジスタの製造方法を示す縦断面構造図である。始めに、アンダーブレイクGaAs(100)基板1上にp型GaAsチャネル層(Be濃度=5 $\times 10^{18}/\text{cm}^3$ 、膜厚20nm)41、アンダーブレイクAlGaAs(AlAsモル比=0.3、膜厚100nm)42を基板温度550℃で分子線エピタキシー法により形成後、基板温度を100℃に降温してBeドーピングアモルファスGaAs層(Be濃度=4 $\times 10^{20}/\text{cm}^3$ 、膜厚100nm)6を堆積する。その後、基板温度580℃

にて20分間、As雰囲気アニールすることにより層6をアモルファスから多結晶に変えた(図5.2)。層6のアモルファスから多結晶への変化は反射高速電子線回折法によるその場観察により確認した。

【0113】続いて、試料を分子線エピタキシー装置から取り出し、SiO₂膜(膜厚100nm)4の堆積後、ホトリソグラフィおよびエッチングにより層4、6、42の選択的除去を行った(図53)。その後、SiO₂膜の堆積およびエッチバックによりSiO₂側壁26を形成し(図54)、試料を有機金属気相エピタキシー装置あるいは有機金属分子線エピタキシー装置へ移して、基板温度600℃で高ドーピング型GaAs層5の選択的エピタキシャル成長を行った。試料をエピタキシー装置から取り出して、p型電極を形成した後の縦断面構造が図55である。

【0114】最後に、SiO₂膜の除去、ならびにホトリソグラフィおよびエッチングによる層6の選択的除去と素子間分離を行い、図56に示す構造のヘテロ絶縁ゲート電界効果トランジスタを作製した。

【0115】本実施例によれば、バリア層/ゲート電極界面を超高真空中で形成できるため、バリア層表面を一度大気にさらしてからゲート電極を形成する従来技術に比較して、該界面における界面準位密度を大幅に低減でき、ゲート電極作製条件による該界面準位密度のばらつきも低減できる効果がある。

【0116】なお、本実施例ではバリア層/ゲート電極界面を分子線エピタキシー装置内で形成したが、有機金属気相エピタキシー装置内で形成しても、高純度水素雰囲気である限りは全く問題なく同様に実施できる。また、本実施例ではAlGaAs/GaAsヘテロ絶縁ゲートpチャネル電界効果トランジスタの場合を示したが、nチャネルの場合や例えばInP/InGaAs等の他の材料系を用いたヘテロ絶縁ゲート電界効果トランジスタの場合も同様に実施できるのはもちろんである。

【0117】(実施例18)以下本発明の実施例である多結晶GaAsを用いた配線について図57を用いて説明する。

【0118】図57は本発明による多結晶GaAsを用いた配線の例として示した、ヘテロ絶縁ゲート電界効果トランジスタを用いたメモリセルの回路図である。V_{cc}は電源電位、V_{ss}は接地電位で、T1、T2、T3、T4、T5、およびT6は実施例16に示した方法で作製されたヘテロ絶縁ゲート電界効果トランジスタである。図示したメモリセルにはワード線とビット線が存在するが、本実施例では該ヘテロ絶縁ゲート電界効果トランジスタのゲート電極とワード線を、Cを4 $\times 10^{20}/\text{cm}^3$ 含む多結晶GaAs層(厚さ100nm)で同時に形成した。

【0119】本実施例によれば、ゲート電極とワード線を多結晶GaAsで同時形成するために、金属配線を用

いる従来技術に比較して作製工程が簡略化し、電子回路作製コストの低減する効果がある。また、半導体では金属に比較して微細加工が可能のため、従来よりもゲート電極長や配線間隔を短縮出来る結果、電子回路の性能向上と素子の高集積化を同時に満足させられる効果もある。

【0120】なお本実施例では、多結晶GaAs中の不純物としてCを用いたが、濃度が $4 \times 10^{20} / \text{cm}^3$ 以上であればBeでもよいのはもちろんである。また、多結晶GaAsの代わりに多結晶GaAsSb等の更に禁制帯幅の小さな材料を用いれば、配線およびゲート電極の抵抗が更に下がり、より性能の良い電子回路を得ることができる。また、本実施例や実施例15で示したヘテロ絶縁ゲート電界効果トランジスタやヘテロ接合バイポーラトランジスタを用いた電子回路は、さらに実施例16に示した面発光レーザやその集積化光回路と、チップ内あるいはチップ間で結合させて、光電子集積回路として動作させても良いのはもちろんである。

【0121】(実施例19)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタを図58から図63を用いて説明する。

【0122】図58は本発明によるヘテロ接合バイポーラトランジスタの断面構造模式図である。図58において、51はFeドープ半絶縁性InP基板、52はn型InGaAsサブコレクタ($\text{Si} : 2 \times 10^{19} / \text{cm}^3$ 、厚さ500nm、InAsモル比0.53)、53は埋込絶縁膜 SiO_2 (厚さ300nm)、54はn型InGaAsコレクタ($\text{Si} : 2 \times 10^{16} / \text{cm}^3$ 、厚さ300nm、InAsモル比0.53)、56は単結晶p型InGaAs内部ベース(Be: $4 \times 10^{20} / \text{cm}^3$ 、厚さ70nm、InAsモル比0.53)、57は多結晶p型InGaAs外部ベース(Be: $1 \times 10^{20} / \text{cm}^3$ 、厚さ70nm、InAsモル比0.53)、58は表面保護絶縁膜 SiO_2 (厚さ200nm)、59はn型InPエミッタ($\text{Si} : 1 \times 10^{18} / \text{cm}^3$ 、厚さ200nm)、60はn型InGaAsエミッタ電極取り出し領域($\text{Si} : 2 \times 10^{19} / \text{cm}^3$ 、厚さ500nm、InAsモル比0.53)、61はエミッタ電極、62はベース電極、63はコレクタ電極である。本構造において、エミッタ電極取り出し領域60は単結晶で、多結晶外部ベース57の存在する領域の表面保護絶縁膜58上まで横方向に伸びて形成されている。以下、本構造の半導体装置の製造方法に関して、図59から図63を用いて説明する。

【0123】初めに、Feドープ半絶縁性InP基板51上にn型InGaAsサブコレクタ52を分子線エピタキシー(MBE)法、有機金属気相エピタキシー(MOVPE)法あるいは有機金属分子線エピタキシー(MOMBE)法のいずれかにより500℃付近でエピタキシャル成長した後に、試料を結晶成長装置から取り出

し、埋込絶縁膜となる SiO_2 膜53(厚さ250nm)を化学的気相堆積法により形成した。続いて、ホトリソグラフィおよび化学エッチングによりトランジスタ真性領域の SiO_2 膜53を選択的に除去して、MOVPE法あるいはMOMBE法によりn型InGaAsコレクタ54の選択成長を500℃にて行った(図59)。

【0124】その後、試料を結晶成長装置から取り出し、塗布絶縁膜55(SiO_2 、厚さ300nm)を用いて絶縁膜53とコレクタ54との空間を埋込んだ。そして、厚さ2 μm 程度の有機膜で試料表面の平坦化を行い、有機膜と絶縁膜を等速度でエッチングすることによりコレクタ54の表面を露出した(図60)。

【0125】続いて、試料をMBE装置に導入し、p型不純物としてBeを用いて単結晶p型InGaAs内部ベース56と多結晶p型InGaAs外部ベース57の同時形成を450℃にて行った。単結晶InGaAsコレクタ54上には単結晶p型InGaAs内部ベース56が、塗布絶縁膜55上には多結晶p型InGaAs外部ベース57が形成されたことは、電子線回折法および透過型電子顕微鏡法により確認された。また、この際、Be濃度を少なくとも $4 \times 10^{20} / \text{cm}^3$ にすることで、多結晶p型InGaAs外部ベース57の抵抗率を実用上問題の無い $0.04 \Omega \text{cm}$ 以下にできることも電気伝導度測定から明らかとなった。

【0126】内部ベースおよび外部ベースの形成後、試料をMBE装置から取り出し、表面保護絶縁膜58を化学的気相堆積法により形成した。そして、ホトリソグラフィおよび化学エッチングによりエミッタ形成領域における表面保護絶縁膜58の選択的除去を行った(図61)。

【0127】その後、試料をMOVPE装置あるいはMOMBE装置に移し、n型InPエミッタ59およびn型InGaAsエミッタ電極取り出し領域60の選択成長を500℃にて行った。この際、n型InGaAsエミッタ電極取り出し領域60は表面保護絶縁膜58上を単結晶状態のまま横方向に500nm程度伸びて成長することが、試料断面の走査型電子顕微鏡観察より明らかとなった。この状態でエミッタ電極金属として例えばW

Siを全面に堆積し、ホトリソグラフィおよびドライエッチングによりエミッタ電極61の加工を行った(図62)。

【0128】引き続き、エミッタ電極61をマスクとして表面保護絶縁膜58、多結晶p型InGaAs外部ベース57のエッチングを行った後に、ホトリソグラフィおよびドライエッチングを用いてベース電極およびコレクタ電極形成領域における表面保護絶縁膜58、塗布絶縁膜55、埋込絶縁膜53の選択的除去を行った。そして最後に、ベース電極62およびコレクタ電極63をリフトオフ法により形成した(図63)。

【0129】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極引き出し領域をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。

【0130】(実施例20)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタを図58および図64、図65を用いて説明する。

【0131】本実施例によるヘテロ接合バイポーラトランジスタの断面構造は実施例19に同じである(図58)。実施例19ではn型InGaAsコレクタ54を選択成長により形成したが、本実施例ではn型InGaAsコレクタ54は基板全面への成長後、トランジスタ領域以外を選択的に除去することにより作製した。以下、本ヘテロ接合バイポーラトランジスタの作製方法を説明する。

【0132】初めに、Feドープ半絶縁性InP基板51上にn型InGaAsサブコレクタ(Si: $2 \times 10^{19}/\text{cm}^3$ 、厚さ500nm、InAsモル比0.53)52およびn型InGaAsコレクタ(Si: $2 \times 10^{16}/\text{cm}^3$ 、厚さ300nm、InAsモル比0.53)54をMBE法、MOVPE法あるいはMOMBE法のいずれかにより500℃付近でエピタキシャル成長した後に、試料を結晶成長装置から取り出し、ホトリソグラフィおよび化学エッチングによりトランジスタ真性領域以外のコレクタ54全てとサブコレクタ52の一部(膜厚50nm程度)を選択的に除去した(図64)。

【0133】その後、塗布絶縁膜SiO₂(厚さ500nm)55を塗布後、厚さ2μm程度の有機膜で試料表面の平坦化を行い、有機膜と絶縁膜を等速度でエッチングすることにより、コレクタ54の表面を露出した(図65)。

【0134】続いて、実施例19の図61~図63に示したように、ベース・エミッタ等を形成してヘテロ接合バイポーラトランジスタを作製した。

【0135】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極引き出し領域をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。

【0136】(実施例21)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタを図58から図63を用いて説明する。

【0137】図58は本発明によるヘテロ接合バイポーラトランジスタの断面構造模式図である。図58において、51はFeドープ半絶縁性InP基板、52はn型GaAsSbサブコレクタ(Si: $2 \times 10^{19}/\text{cm}^3$ 、厚さ500nm、GaSbモル比0.49)、53は埋込絶縁膜SiO₂(厚さ300nm)、54はn型GaAsSbコレクタ(Si: $2 \times 10^{16}/\text{cm}^3$ 、厚さ300nm、GaSbモル比0.49)、56は単結晶p型GaAsSb内部ベース(Be: $4 \times 10^{20}/\text{cm}^3$ 、厚さ70nm、GaSbモル比0.49)、57は多結晶p型GaAsSb外部ベース(Be: $4 \times 10^{20}/\text{cm}^3$ 、厚さ70nm、GaSbモル比0.49)、58は表面保護絶縁膜SiO₂(厚さ200nm)、59はn型InPエミッタ(Si: $1 \times 10^{18}/\text{cm}^3$ 、厚さ200nm)、60はn型GaAsSbエミッタ電極取り出し領域(Si: $2 \times 10^{19}/\text{cm}^3$ 、厚さ500nm、GaSbモル比0.49)、61はエミッタ電極、62はベース電極、63はコレクタ電極である。本構造において、エミッタ電極取り出し領域60は単結晶で、多結晶外部ベース57の存在する領域の表面保護絶縁膜58上まで横方向に伸びて形成されている。以下、本構造のヘテロ接合バイポーラトランジスタの製造方法に関して、図60から図63を用いて説明する。

【0138】初めに、Feドープ半絶縁性InP基板51上にn型GaAsSbサブコレクタ52をMBE法、MOVPE法あるいはMOMBE法のいずれかにより500℃付近でエピタキシャル成長した後に、試料を結晶成長装置から取り出し、埋込絶縁膜となるSiO₂膜53(厚さ250nm)を化学的気相堆積法により形成した。続いて、ホトリソグラフィおよび化学エッチングによりトランジスタ真性領域のSiO₂膜53を選択的に除去して、MOVPE法あるいはMOMBE法によりn型GaAsSbコレクタ54の選択成長を500℃にて行った(図60)。

【0139】その後、試料を結晶成長装置から取り出し、塗布絶縁膜55(SiO₂、厚さ300nm)を用いて絶縁膜53とコレクタ54との空間を埋込んだ。そして、厚さ2μm程度の有機膜で試料表面の平坦化を行い、有機膜と絶縁膜を等速度でエッチングすることによりコレクタ54の表面を露出した(図61)。

【0140】続いて、試料をMBE装置に導入し、p型不純物としてBeを用いて単結晶p型GaAsSb内部ベース56と多結晶p型GaAsSb外部ベース57の同時形成を450℃にて行った。この際、Be濃度を少なくとも $4 \times 10^{20}/\text{cm}^3$ にすることで、多結晶p型GaAsSb外部ベース57の抵抗率を実用上問題の無い0.04Ωcm以下にできることも電気伝導度測定から明らかとなった。

【0141】内部ベースおよび外部ベースの形成後、試料をMBE装置から取り出し、表面保護絶縁膜58を化学的気相堆積法により形成した。そして、ホトリソグラフィおよび化学エッチングによりエミッタ形成領域における表面保護絶縁膜58の選択的除去を行った(図6

2)。

【0142】その後、試料をMOVPE装置あるいはMOMBE装置に移し、n型InPエミッタ59およびn型GaAsSbエミッタ電極取り出し領域60の選択成長を500℃にて行った。この際、n型GaAsSbエミッタ電極取り出し領域60は表面保護絶縁膜58上を単結晶状態のまま横方向に500nm程度伸びて成長することが、試料断面の走査型電子顕微鏡観察より明らかとなった。この状態でエミッタ電極金属を全面に堆積し、ホトリソグラフィおよびドライエッチングによりエミッタ電極61の加工を行った(図63)。

【0143】引き続き、エミッタ電極61をマスクとして表面保護絶縁膜58、多結晶p型GaAsSb外部ベース57のエッチングを行った後に、ホトリソグラフィおよびドライエッチングを用いてベース電極およびコレクタ電極形成領域における表面保護絶縁膜58、塗布絶縁膜55、埋込絶縁膜53の選択的除去を行った。そして最後に、ベース電極62およびコレクタ電極63をリフトオフ法により形成した(図64)。

【0144】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極引き出し領域をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。

【0145】(実施例22)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタに関して説明する。

【0146】本実施例によるヘテロ接合バイポーラトランジスタの断面構造は実施例21に同じである(図58)。実施例21ではp型GaAsSbベースをMBE法により形成したが(図62)、本実施例ではアンドープGaAsSb(厚さ1分子層以上50nm以下)をMBE法により成長してn型GaAsSbコレクタ54上に単結晶を、絶縁膜55上に多結晶を形成した後に、試料をMOVPE装置あるいはMOMBE装置に移して単結晶領域56および多結晶領域57からなるp型GaAsSbベースの成長を行った。ここで、MOVPE法またはMOMBE法により直接ベースの成長を行わなかったのは、両成長法とも絶縁膜上への多結晶GaAsSbの形成が困難であるためである。また、ベースの成長にはトリメチルガリウムを用いて、p型不純物としてCを $4 \times 10^{20} / \text{cm}^3$ ドーピングした。この際、C濃度を少なくとも $4 \times 10^{20} / \text{cm}^3$ にすることで、多結晶p型GaAsSb外部ベース57の抵抗率を実用上問題の無い $0.04 \Omega \text{cm}$ 以下にできることも電気伝導度測定から明らかとなった。それ以外の作製工程は実施例21と同じとした。

【0147】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エ

ミッタ電極引き出し領域をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。また、結晶成長時の拡散が大きなBeの代わりに拡散の小さなCを用いるため、信頼性および再現性の高い半導体装置を実現できる効果もある。

【0148】(実施例23)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタを図58から図63を用いて説明する。

【0149】図58は本発明によるヘテロ接合バイポーラトランジスタの断面構造模式図である。図58において、51はアンドープ半絶縁性GaAs基板、52はn型GaAsサブコレクタ($\text{Si}: 5 \times 10^{18} / \text{cm}^3$ 、厚さ500nm)、53は埋込絶縁膜 SiO_2 (厚さ300nm)、54はn型GaAsコレクタ($\text{Si}: 5 \times 10^{18} / \text{cm}^3$ 、厚さ300nm)、56は単結晶p型GaAs内部ベース($\text{C}: 4 \times 10^{20} / \text{cm}^3$ 、厚さ70nm)、57は多結晶p型GaAs外部ベース($\text{C}: 1 \times 10^{20} / \text{cm}^3$ 、厚さ70nm)、58は表面保護絶縁膜 SiO_2 (厚さ200nm)、59はn型AlGaAsエミッタ($\text{Si}: 1 \times 10^{18} / \text{cm}^3$ 、厚さ200nm、AlAsモル比0.3)、60はn型InGaAsエミッタ電極取り出し領域($\text{Si}: 2 \times 10^{19} / \text{cm}^3$ 、厚さ500nm、InAsモル比0.6)、61はエミッタ電極、62はベース電極、63はコレクタ電極である。本構造において、エミッタ電極取り出し領域60は単結晶で、多結晶外部ベース57の存在する領域の表面保護絶縁膜58上まで横方向に伸びて形成されている。以下、本構造の半導体装置の製造方法に関して、図59から図63を用いて説明する。

【0150】初めに、アンドープ半絶縁性GaAs基板51上にn型GaAsサブコレクタ52をMBE法、MOVPE法あるいはMOMBE法のいずれかにより500℃付近でエピタキシャル成長した後に、試料を結晶成長装置から取り出し、埋込絶縁膜となる SiO_2 膜53(厚さ250nm)を化学的気相堆積法により形成した。続いて、ホトリソグラフィおよび化学エッチングによりトランジスタ真性領域の SiO_2 膜53を選択的に除去して、MOVPE法あるいはMOMBE法によりn型InGaAsコレクタ54の選択成長を500℃にて行った(図59)。

【0151】その後、試料を結晶成長装置から取り出し、塗布絶縁膜55(SiO_2 、厚さ300nm)を用いて絶縁膜53とコレクタ54との空間を埋込んだ。そして、厚さ2μm程度の有機膜で試料表面の平坦化を行い、有機膜と絶縁膜を等速度でエッチングすることによりコレクタ54の表面を露出した(図60)。

【0152】続いて、試料をMBE装置に導入し、アンドープGaAs(厚さ1分子層以上、図示せず)を堆積

後、試料をMOVPE装置あるいはMOMBE装置へ移して、原料にトリメチルガリウムを用いることにより、単結晶p型GaAs内部ベース56と多結晶p型GaAs外部ベース57の同時形成を450℃にて行った。この際、ベース中のp型不純物であるCの濃度を少くとも $4 \times 10^{20} / \text{cm}^3$ にすることで、多結晶p型GaAs外部ベース57の抵抗率を実用上問題の無い $0.04 \Omega \text{cm}$ 以下にできることも電気伝導度測定から明らかとなった。

【0153】内部ベースおよび外部ベースの形成後、試料を結晶成長装置から取り出し、表面保護絶縁膜58を化学的気相堆積法により形成した。そして、ホトリソグラフィおよび化学エッチングによりエミッタ形成領域における表面保護絶縁膜58の選択的除去を行った(図61)。

【0154】その後、試料をMOVPE装置あるいはMOMBE装置に移し、n型AlGaAsエミッタ59およびn型InGaAsエミッタ電極取り出し領域60の選択成長を500℃にて行った。この際、n型InGaAsエミッタ電極取り出し領域60は表面保護絶縁膜58上を単結晶状態のまま横方向に500nm程度伸びて成長することが、試料断面の走査型電子顕微鏡観察より明らかとなった。この状態でエミッタ電極金属を全面に堆積し、ホトリソグラフィおよびドライエッチングによりエミッタ電極61の加工を行った(図62)。

【0155】引き続き、エミッタ電極61をマスクとして表面保護絶縁膜58、多結晶p型GaAs外部ベース57のエッチングを行った後に、ホトリソグラフィおよびドライエッチングを用いてベース電極およびコレクタ電極形成領域における表面保護絶縁膜58、塗布絶縁膜55、埋込絶縁膜53の選択的除去を行った。そして最後に、ベース電極62およびコレクタ電極63をリフトオフ法により形成した(図63)。

【0156】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極面積をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。また、結晶成長時の拡散が大きなBeの代わりに拡散の小さなCを用いるため、信頼性および再現性の高い半導体装置を実現できる効果もある。

【0157】(実施例24)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタに関して説明する。

【0158】本実施例によるヘテロ接合バイポーラトランジスタの断面構造は実施例23に同じである(図58)。実施例23では単結晶p型GaAs内部ベース56と多結晶p型GaAs外部ベース57を同時に形成したため、p型不純物であるCの濃度を同一値にしか設定

できなかったが、本実施例では両者の形成を別々に行った。以下、本バイポーラ型半導体装置の作製方法を図58から図67を用いて説明する。

【0159】図59から図61までの作製工程は実施例23と同じとした。図61の状態、表面保護絶縁膜58をマスクにドライエッチングを用いて、単結晶p型GaAs56の選択除去を行った(図66)。

【0160】その後、試料をMOVPE装置あるいはMOMBE装置に移し、単結晶p型GaAs(C濃度 $4 \times 10^{19} / \text{cm}^3$ 、厚さ120nm)64、n型AlGaAsエミッタ(Si: $1 \times 10^{18} / \text{cm}^3$ 、厚さ150nm、AlAsモル比0.3)59、およびn型InGaAsエミッタ電極取り出し領域(Si: $2 \times 10^{19} / \text{cm}^3$ 、厚さ500nm、InAsモル比0.6)60の選択成長を500℃にて行った。この際、n型InGaAsエミッタ電極取り出し領域60は表面保護絶縁膜58上を単結晶状態のまま横方向に500nm程度伸びて成長することが、試料断面の走査型電子顕微鏡観察より明らかとなった。この状態でエミッタ電極金属を全面に堆積し、ホトリソグラフィおよびドライエッチングによりエミッタ電極61の加工を行った(図67)。

【0161】引き続き、エミッタ電極61をマスクとして表面保護絶縁膜58、多結晶p型GaAs外部ベース57のエッチングを行った後に、ホトリソグラフィおよびドライエッチングを用いてベース電極およびコレクタ電極形成領域における表面保護絶縁膜58、塗布絶縁膜55、埋込絶縁膜53の選択的除去を行った。そして最後に、ベース電極62およびコレクタ電極63をリフトオフ法により形成した。

【0162】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極面積をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。また、結晶成長時の拡散が大きなBeの代わりに拡散の小さなCを用いるため、信頼性および再現性の高い半導体装置を実現できる効果もある。さらに、単結晶p型GaAs内部ベース中のC濃度を多結晶p型GaAs外部ベース中よりも小さくできるため、電流増幅率が大きく、ベース抵抗の小さな超高速半導体装置を実現できる効果もある。

【0163】なお、本実施例ではGaAs基板上にAlGaAs/GaAsヘテロ接合を有するバイポーラ型半導体装置に関して説明したが、InP基板上にInP/InGaAs、InAlAs/InGaAs、InP/GaAsSb等のヘテロ接合を有するバイポーラトランジスタに関しても同様に実施できるのは勿論である。

【0164】(実施例25)以下、本発明の実施例であるヘテロ接合バイポーラトランジスタに関して説明する。

【0165】本実施例によるヘテロ接合バイポーラトランジスタの断面構造は実施例23に同じである(図58)。実施例23では単結晶p型GaAs内部ベース56と多結晶p型GaAs外部ベース57を同時に形成したため、p型不純物であるC濃度を同一値にしか設定できなかったが、本実施例では両者の形成を別々に行った。以下、本バイポーラ型半導体装置の作製方法を図58から図69を用いて説明する。

【0166】図59から図60までの作製工程は実施例23と同じとした。図60の状態、試料をMBE装置内に導入し、アンドープGaAs(厚さ1分子層以上、図示せず)を堆積後、試料をMOVPE装置あるいはMOMBE装置へ移して、原料にトリメチルガリウムを用いることにより、単結晶p型GaAsベース(C: $4 \times 10^{19} / \text{cm}^3$ 、厚さ50nm)64と多結晶p型GaAsベース(C: $4 \times 10^{19} / \text{cm}^3$ 、厚さ50nm)65の同時形成、ならびに単結晶p型GaAsベース(C: $4 \times 10^{20} / \text{cm}^3$ 、厚さ100nm)56と多結晶p型GaAsベース(C: $4 \times 10^{20} / \text{cm}^3$ 、厚さ100nm)57の同時形成を450℃にて行った。この際、C濃度を少なくとも $4 \times 10^{20} / \text{cm}^3$ にすることで、多結晶p型GaAs外部ベース57の抵抗率を実用上問題の無い0.04Ωcm以下にできることも電気伝導度測定から明らかとなった。その後、表面保護絶縁膜8を化学的気相堆積法により形成した。そして、ホトリソグラフィおよび化学エッチングによりエミッタ形成領域における表面保護絶縁膜58の選択的除去を行った後に、表面保護絶縁膜58をマスクにドライエッチングにより単結晶p型GaAs層の選択的除去を行った(図68)。

【0167】その後、試料をMOVPE装置あるいはMOMBE装置に移し、n型AlGaAsエミッタ(Si: $1 \times 10^{18} / \text{cm}^3$ 、厚さ280nm、AlAsモル比0.3)59およびn型InGaAsエミッタ電極取り出し領域(Si: $2 \times 10^{19} / \text{cm}^3$ 、厚さ500nm、InAsモル比0.6)60の選択成長を500℃にて行った。この際、n型InGaAsエミッタ電極取り出し領域60は表面保護絶縁膜58上を単結晶状態のまま横方向に500nm程度伸びて成長することが、試料断面の走査型電子顕微鏡観察より明らかとなった。この状態でエミッタ電極金属を全面に堆積し、ホトリソグラフィおよびドライエッチングによりエミッタ電極61の加工を行った(図69)。

【0168】引き続き、エミッタ電極61をマスクとして表面保護絶縁膜58、多結晶p型GaAs外部ベース57のエッチングを行った後に、ホトリソグラフィおよびドライエッチングを用いてベース電極およびコレクタ電極形成領域における表面保護絶縁膜58、塗布絶縁膜55、埋込絶縁膜53の選択的除去を行った。そして最後に、ベース電極62およびコレクタ電極63をリフ

トオフ法により形成した。

【0169】本実施例によれば、ベース・コレクタ間寄生容量を従来の約1/3に低減できることに加えて、エミッタ電極面積をエミッタ・ベース接合面積よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果がある。また、結晶成長時の拡散が大きなBeの代わりに拡散の小さなCを用いるため、信頼性および再現性の高い半導体装置を実現できる効果もある。さらに、単結晶p型GaAs内部ベース中のC濃度を多結晶p型GaAs外部ベース中よりも小さくできるため、電流増幅率が大きく、ベース抵抗の小さな超高速半導体装置を実現できる効果もある。さらに、単結晶p型GaAs内部ベース14のC濃度を多結晶p型GaAs外部ベースよりも小さくできるため、電流増幅率が大きく、ベース抵抗の小さな超高速ヘテロ接合バイポーラトランジスタを実現できる効果もある。

【0170】なお、本実施例ではGaAs基板上にAlGaAs/GaAsヘテロ接合を有するバイポーラ型半導体装置に関して説明したが、InP基板上にInP/InGaAs、InAlAs/InGaAs、InP/GaAsSb等のヘテロ接合を有するバイポーラトランジスタに関しても同様に実施できるのは勿論である。

【0171】

【発明の効果】本発明によれば、化合物多結晶半導体層の粒径および抵抗率を従来技術に比較して格段に小さくできるので、高性能で信頼性の高い半導体装置を実現できる。特に、ヘテロ接合バイポーラトランジスタの場合には、寄生コレクタ領域に比誘電率の低い絶縁膜を用いてベース・コレクタ間寄生容量の低減を図っても、ベース抵抗の顕著な増大がなく、超高速動作化できる効果がある。また、ベース電極引出し領域と絶縁膜との間に膜厚30nm以上の半導体層を設けるか、あるいはベース電極引出し領域における禁制帯幅の最小値をベース領域における禁制帯幅の最小値よりも小さくすることで、ベース抵抗がさらに低減し、最大発振周波数がさらに増大したヘテロ接合バイポーラトランジスタを提供できる効果もある。さらに、ベース電極引出し領域作製時に短絡や断線の問題がないので、歩留よく超高速ヘテロ接合バイポーラトランジスタを作製できる効果もある。さらに、エミッタ電極面積をエミッタ・ベース接合よりも大きくできるため、エミッタ抵抗の低減とエミッタの微細化を同時に達成した超高速ヘテロ接合バイポーラトランジスタを実現できる効果もある。

【0172】また、面発光レーザの場合には、素子寄生領域に酸素イオン打込みを行わずに絶縁膜で埋め込み、素子真性領域と素子寄生領域を3-5族化合物半導体p型多結晶層で接続するため、完全な電流狭窄構造が実現でき、特性が大幅に向上する効果がある。

【0173】さらに、上記ヘテロ絶縁ゲート電界効果ト

ランジスタの場合には、バリア層/ゲート電極界面を超高真空下または高純度水素雰囲気下で一貫して作製出来るため、該界面における界面準位密度が低減し、素子作製条件による該界面準位密度のばらつきも低減できる効果もある。また、ゲート電極や配線の微細加工が可能となり、素子の高集積化が容易になる効果もある。

【0174】さらに、上記ヘテロ接合バイポーラトランジスタおよびヘテロ絶縁ゲート電界効果トランジスタを、トランジスタ全部あるいは少なくとも差動増幅回路部に用いて電子回路を構成することにより、超高速動作可能な差動増幅回路、ならびにそれを基本単位とした電子回路システムを提供できる効果もある。

【図面の簡単な説明】

【図1】第1実施例で示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図2】第1実施例で示した本発明に係る他のAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図3】従来技術により作製されたAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図4】多結晶GaAsの抵抗率のドーピングレベル依存性を示す実験結果である。

【図5】第2実施例で示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図6】第3実施例で示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図7】第4実施例で示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図8】第5実施例で示した本発明に係るAlGaAs/GaAsヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図9】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の第1例を示す工程図である。

【図10】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図11】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図12】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図13】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方

法の例を示す工程図である。

【図14】図13に示すAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造工程におけるベース電極引出し領域表面露出エッチングの説明図である。

【図15】高ドーピング多結晶GaAs層シート抵抗とベース電極の比接触抵抗のベース電極引出し領域表面露出エッチング深さ依存性を示す実験結果である。

【図16】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図17】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図18】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図19】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図20】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図21】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図22】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図23】図1に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図24】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図25】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図26】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図27】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図28】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図29】図6に示す縦断面構造を有するAlGaAs/GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図30】図6に示す縦断面構造を有するAlGaAs

41

／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図31】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図32】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図33】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図34】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図35】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図36】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図37】図6に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図38】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図39】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図40】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の例を示す工程図である。

【図41】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図42】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図43】図7に示す縦断面構造を有するAlGaAs／GaAsヘテロ接合バイポーラトランジスタの製造方法の他の例を示す工程図である。

【図44】本発明に係るAlGaAs／GaAsヘテロ接合バイポーラトランジスタを用いた差動増幅器の回路図である。

【図45】本発明に係る面発光レーザの製造方法の製造工程図である。

【図46】本発明に係る面発光レーザの製造方法の製造工程図である。

【図47】本発明に係る面発光レーザの製造方法の製造工程図である。

42

【図48】本発明に係る面発光レーザの製造方法の製造工程図である。

【図49】本発明に係る面発光レーザの製造方法の製造工程図である。

【図50】本発明に係る面発光レーザの製造方法の製造工程図である。

【図51】従来技術により作製された面発光レーザの縦断面構造図である。

10 【図52】本発明に係るpチャネルヘテロ絶縁ゲート電界効果トランジスタの製造工程図である。

【図53】本発明に係るpチャネルヘテロ絶縁ゲート電界効果トランジスタの製造工程図である。

【図54】本発明に係るpチャネルヘテロ絶縁ゲート電界効果トランジスタの製造工程図である。

【図55】本発明に係るpチャネルヘテロ絶縁ゲート電界効果トランジスタの製造工程図である。

【図56】本発明に係るpチャネルヘテロ絶縁ゲート電界効果トランジスタの製造工程図である。

20 【図57】本発明に係る多結晶GaAsを用いた配線の例を示す回路図である。

【図58】本発明に係るヘテロ接合バイポーラトランジスタの縦断面構造図である。

【図59】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第1の例を示す工程図である。

【図60】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第1の例を示す工程図である。

30 【図61】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第1の例を示す工程図である。

【図62】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第1の例を示す工程図である。

【図63】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第1の例を示す工程図である。

40 【図64】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第2の例を示す工程図である。

【図65】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第2の例を示す工程図である。

【図66】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第6の例を示す工程図である。

【図67】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第6の例を示す工程図である。

50 【図68】図58に示す縦断面構造を有するヘテロ接合

43

バイポーラトランジスタの製造方法の第7の例を示す工程図である。

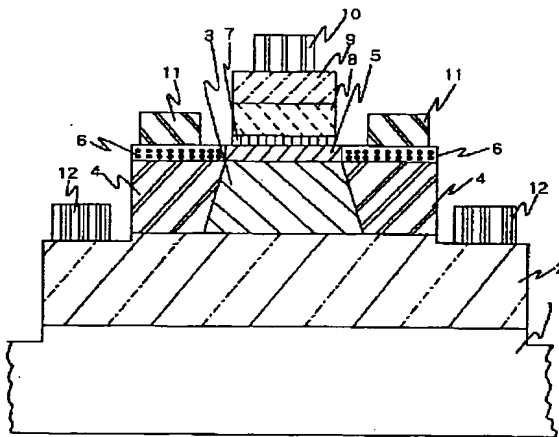
【図69】図58に示す縦断面構造を有するヘテロ接合バイポーラトランジスタの製造方法の第7の例を示す工程図である。

【符号の説明】

1, 51…単結晶半導体基板、2, 31, 52…サブコレクタ層、3, 14, 54…コレクタ層、4, 25, 26, 53, 58, 65…絶縁膜、5, 56, 64…単結晶半導体内部ベース層、6, 57…多結晶半導体外部ベース層、7…アンドロースペーサ層、8, 59…エミッタ層、9, 60…エミッタ電極取り出し領域、10, 61…エミッタ電極、11, 62…ベース電極、12, 63…コレクタ電極、13…酸素イオン打込み領域、1

【図1】

図 1



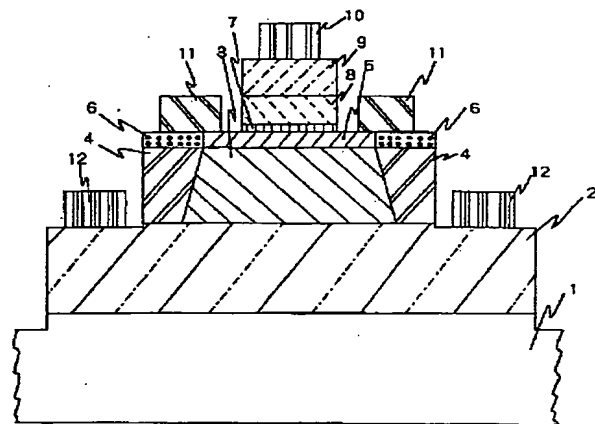
- | | |
|----------------------|------------------|
| 1…単結晶半導体基板 | 7…アンドロースペーサ層 |
| 2…高ドーピングn型GaAs層 | 8…n型ドーピングAlGaAs層 |
| 3…n型ドーピングGaAs層 | 9…高ドーピングn型GaAs層 |
| 4…SiO ₂ 膜 | 10…エミッタ電極 |
| 5…高ドーピングP型GaAs層 | 11…ベース電極 |
| 6…高ドーピングP型多結晶GaAs層 | 12…コレクタ電極 |

44

5, 17…n型ドーピング多結晶GaAs層、16…高ドーピングp型多結晶GaAsSb層、18…アンドロースペーサ層、19…n型ドーピング多結晶AlGaAs層、20…高ドーピングn型多結晶GaAs層、21…塗布SiO₂膜、22…アンドロースペーサ層、23…高ドーピングp型多結晶GaAsSb層、31…高ドーピングn型GaAs基板、32…n型分布ブラッグ反射層、33…InGaAs歪量子井戸層、34…p型分布ブラッグ反射層、35…Al₂O₃膜、36…ホトレジスト、37…p型電極、38…n型電極、39…酸素イオン打込み領域、40…ベリリウムイオン打込み領域、41…p型GaAsチャネル層、42…アンドロースペーサ層。

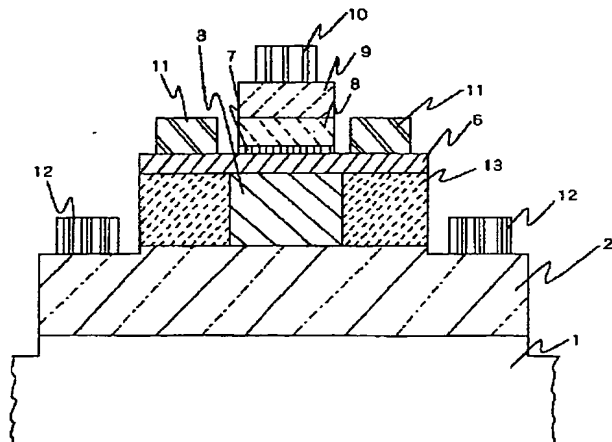
【図2】

図 2



【図3】

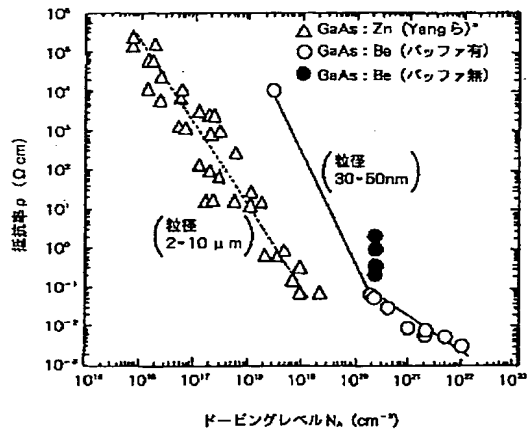
図 3



13…酸素イオン打込み領域

【図4】

図 4

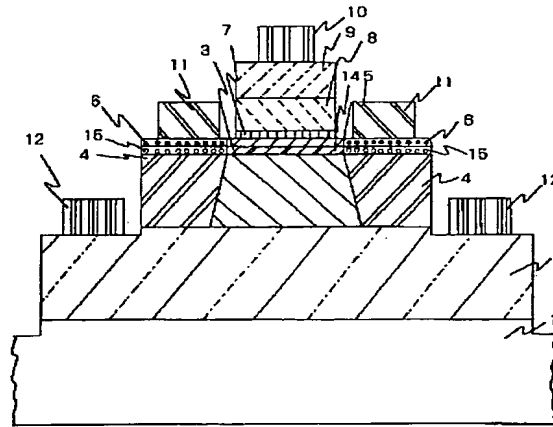


(Be ドープ多結晶 GaAs 膜厚 = 100nm
バブリング (アンドープ多結晶 GaAs) 膜厚 = 100nm)

*J. J. Yang, P. D. Dapkus, R.D. Dupuis and
R. D. Yingling: Journal of Applied Physics
51 (1980) 3794-3800

【図5】

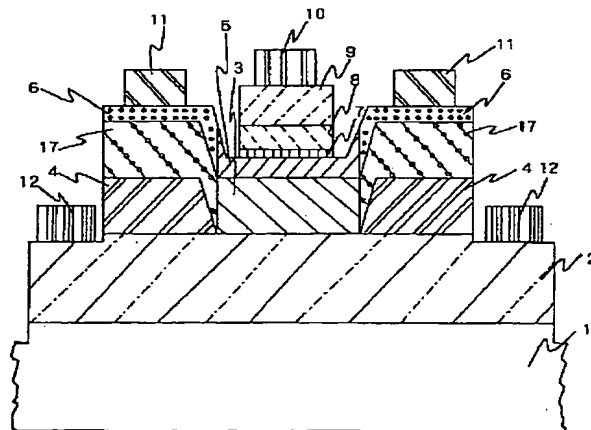
図 5



14 ... n型ドープGaAs層
15 ... n型ドープ多結晶GaAs層

【図7】

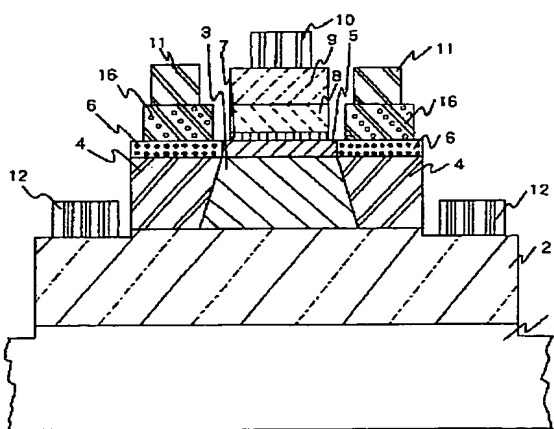
図 7



17 ... n型ドープ多結晶GaAs層

【図6】

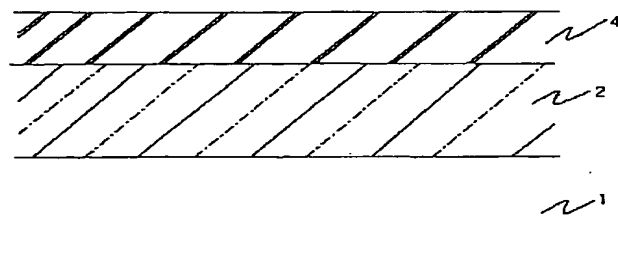
図 6



16 ... 高ドープP型多結晶GaAsSb層

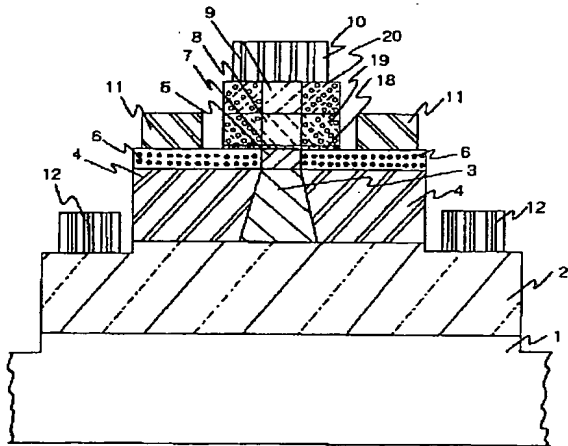
【図9】

図 9



【図8】

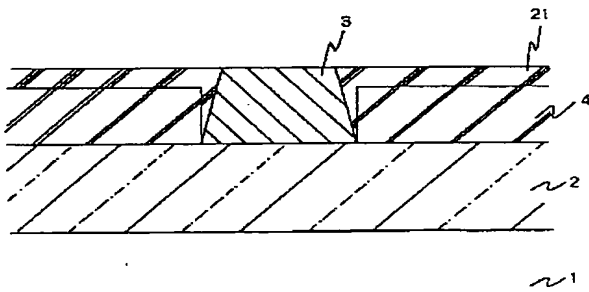
図 8



18... アンドープ多結晶GaAs層
19... n型ドープ多結晶AlGaAs層
20... 高ドープn型多結晶GaAs層

【図11】

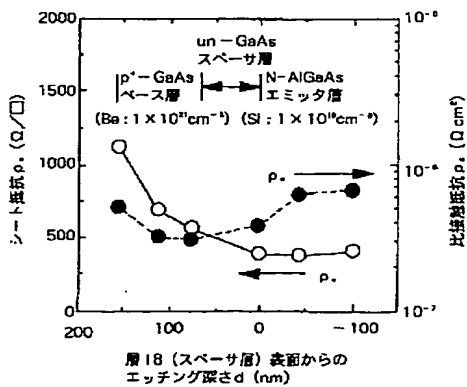
図 11



21... 塗布SiO₂膜

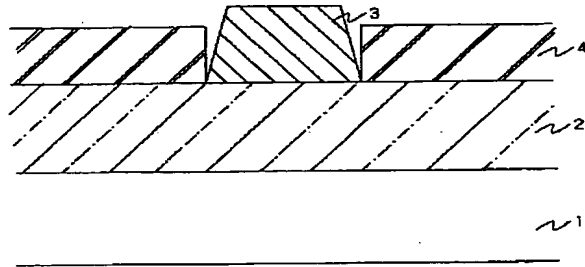
【図15】

図 15



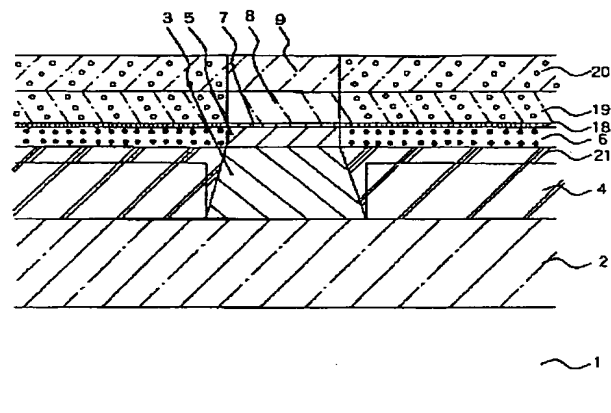
【図10】

図 10



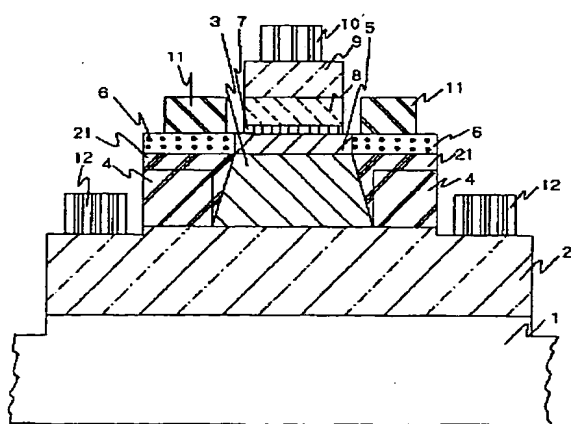
【図12】

図 12

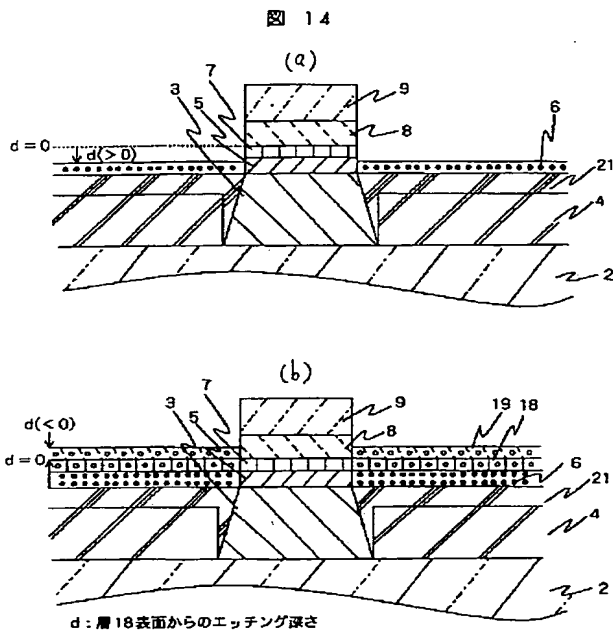


【図13】

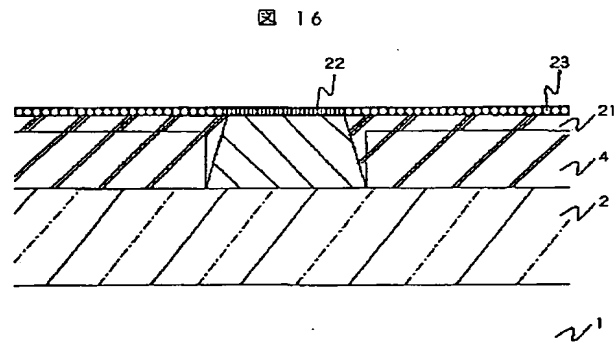
図 13



【図14】



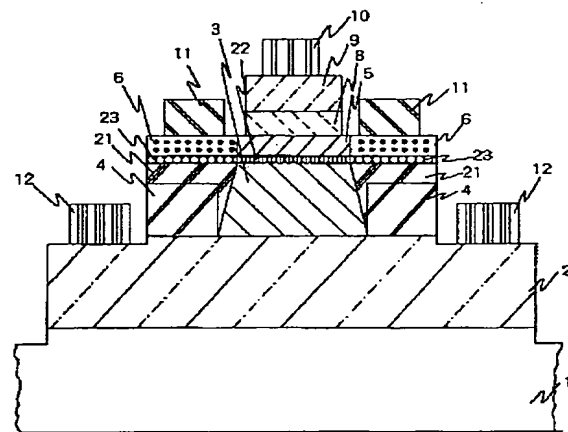
【図16】



22 ... アンダーGaAs1分子層
23 ... アンダー多結晶GaAs1分子層

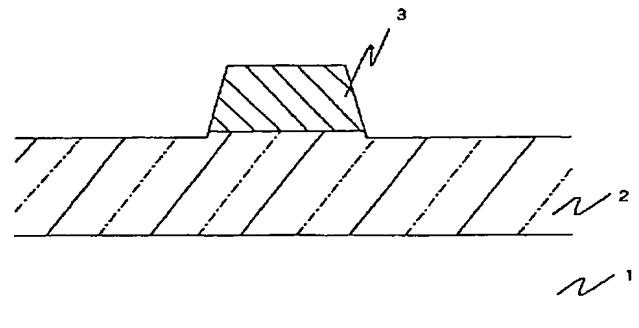
【図18】

図 18



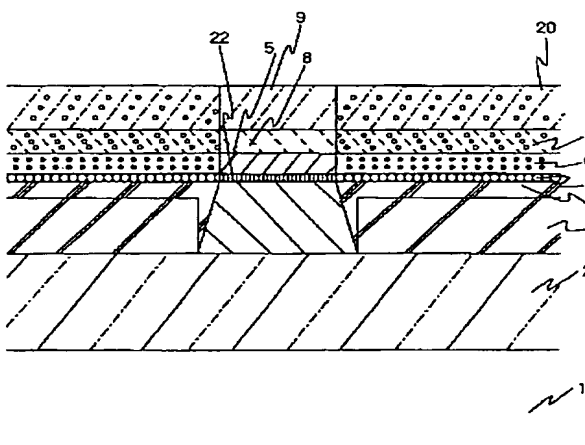
【図19】

図 19



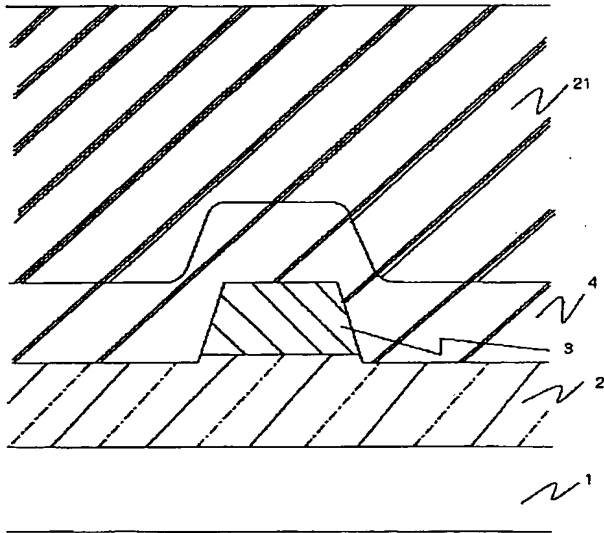
【図17】

図 17



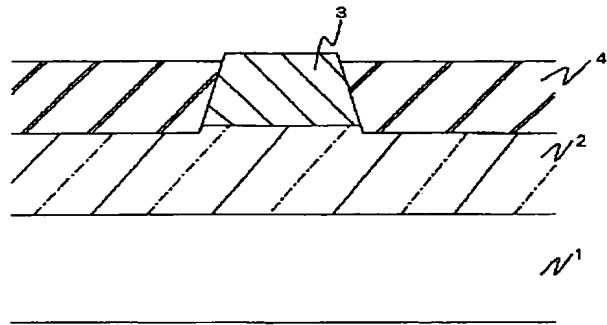
【図20】

図 20



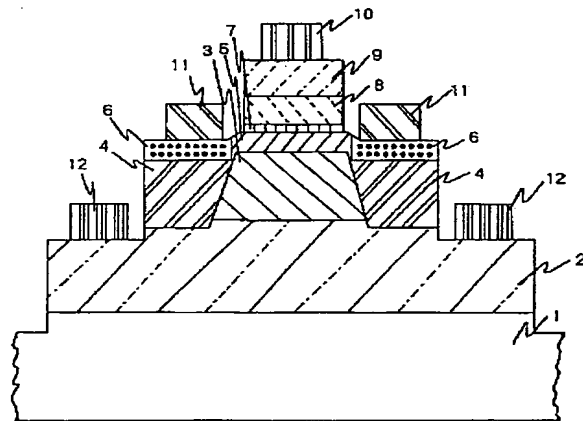
【図21】

図 21



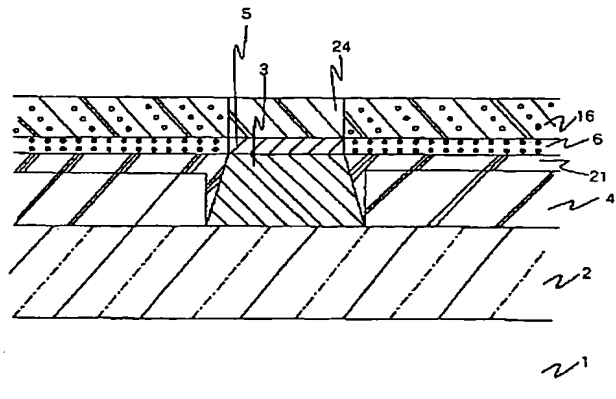
【図23】

図 23



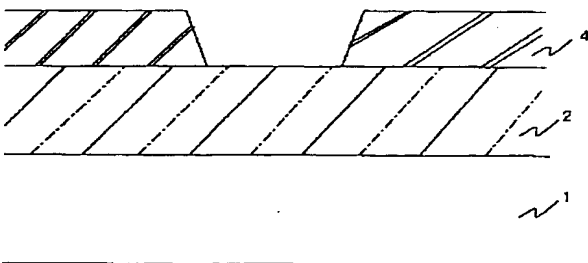
【図24】

図 24



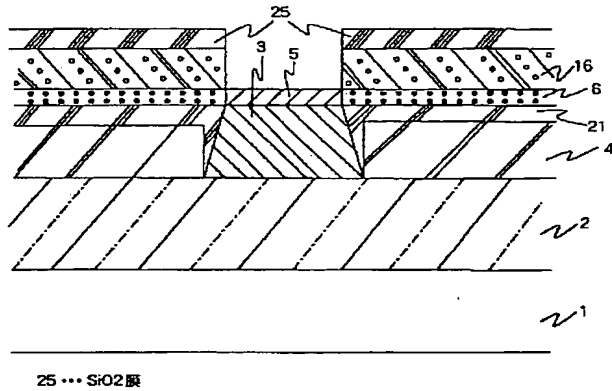
【図38】

図 38



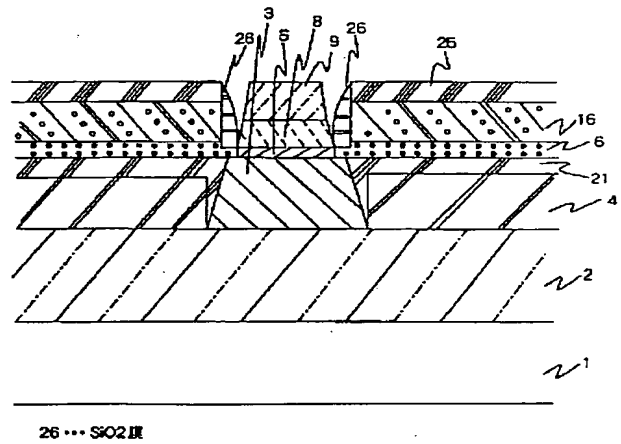
【図25】

図 25



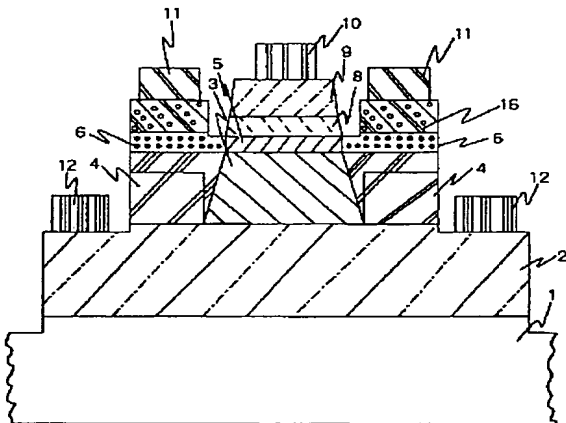
【図26】

図 26



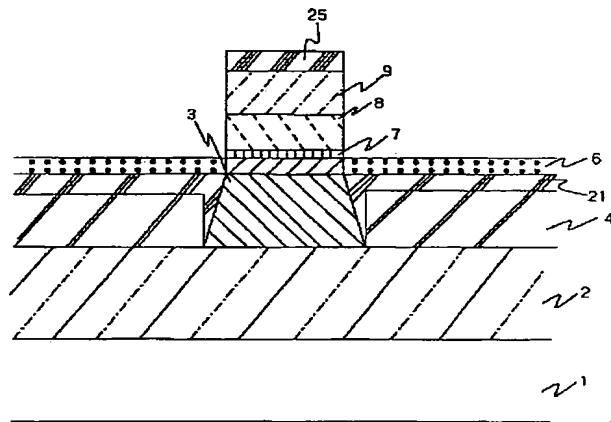
【図27】

図 27



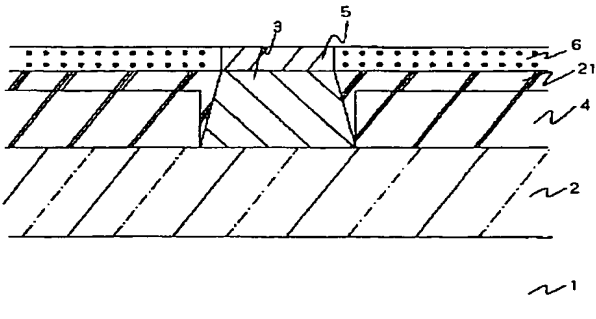
【図28】

図 28



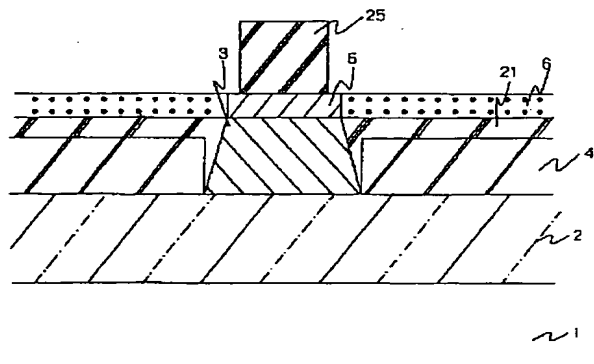
【図31】

図 31



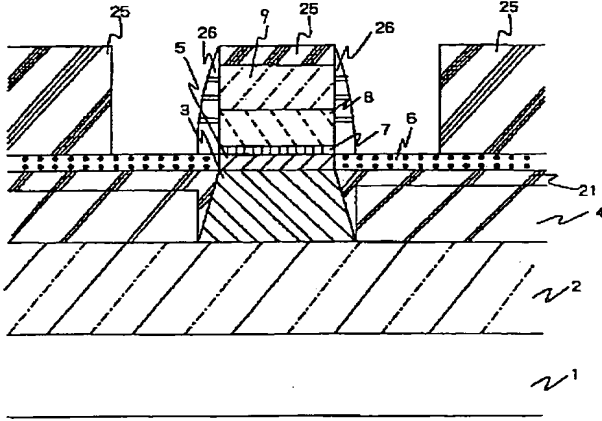
【図32】

図 32



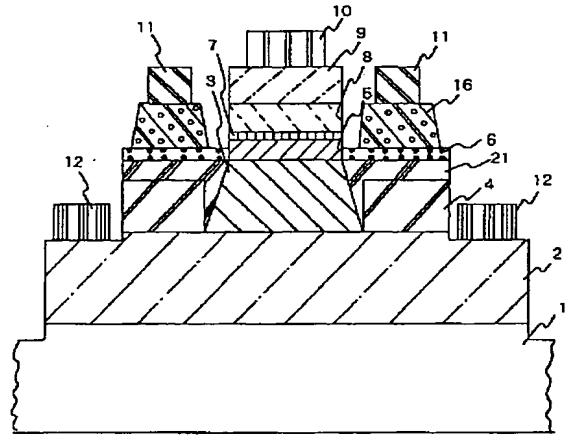
【図29】

図 29



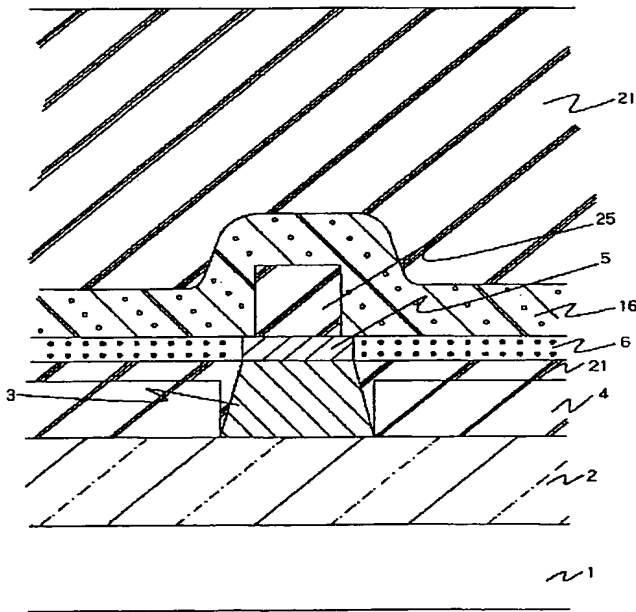
【図30】

図 30



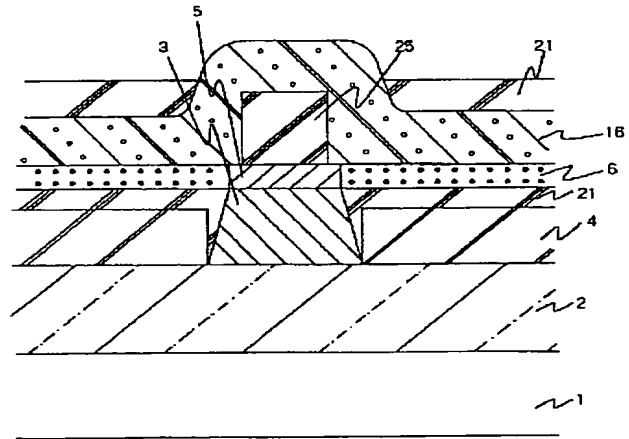
【図33】

図 33



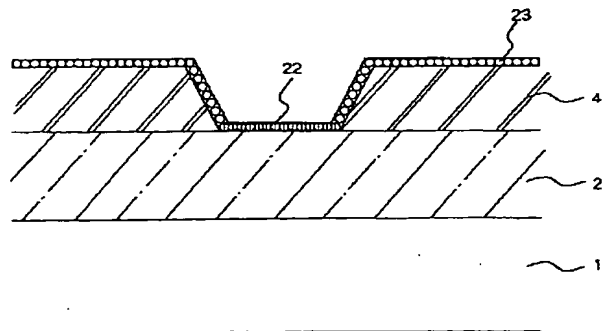
【図34】

図 34



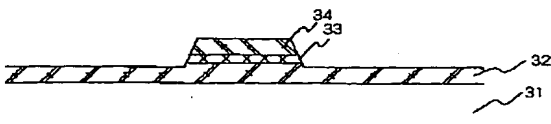
【図41】

図 41



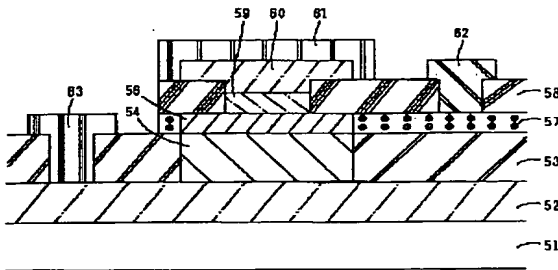
【図46】

図 46



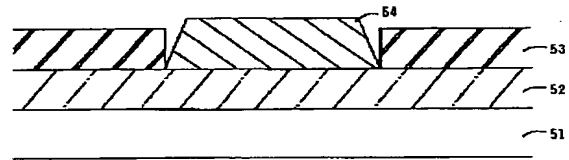
【図58】

図58



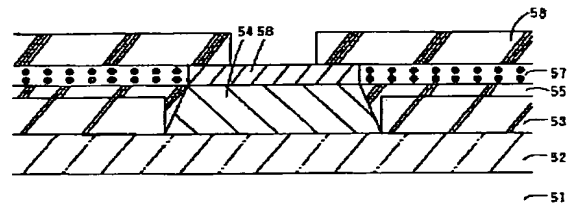
【図59】

図59



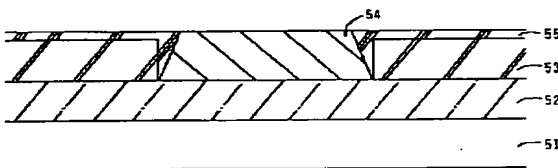
【図61】

図61



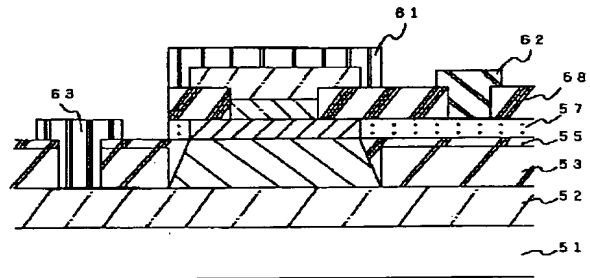
【図60】

図60



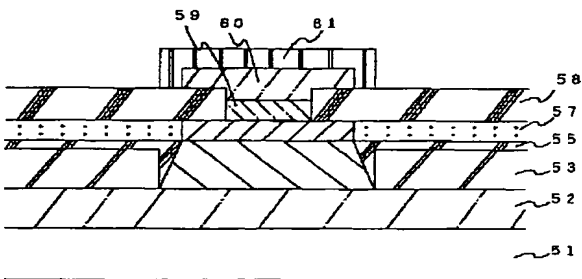
【図63】

図63



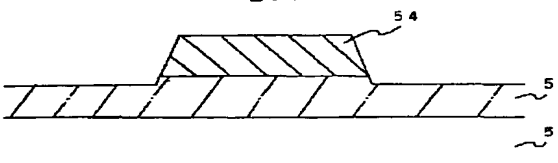
【図62】

図62



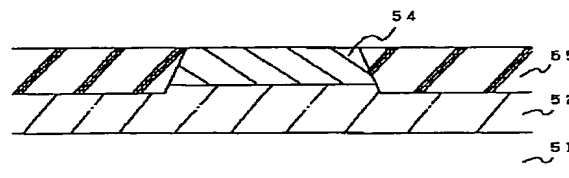
【図64】

図64

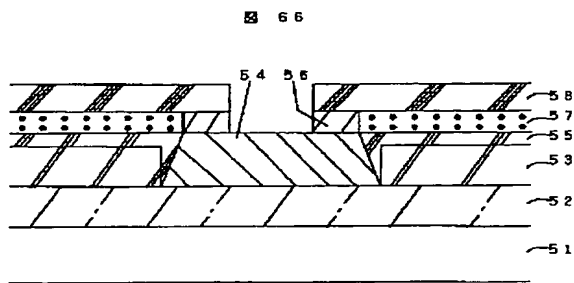


【図65】

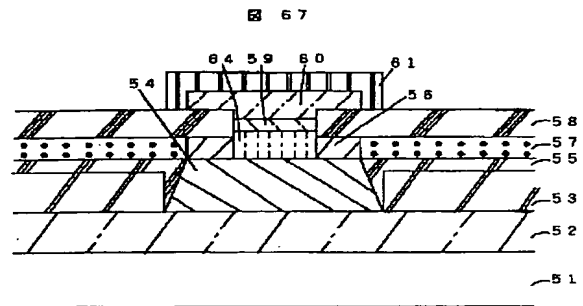
図65



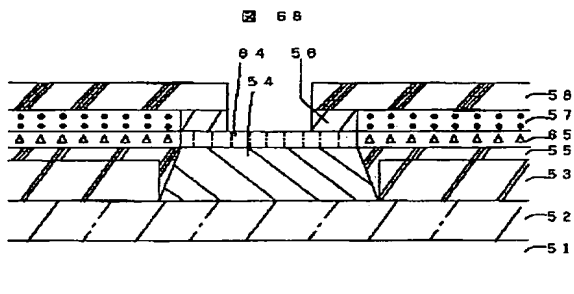
【図66】



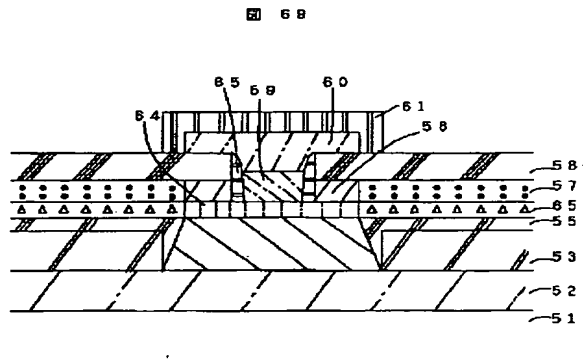
【図67】



【図68】



【図69】



フロントページの続き

(51) Int. Cl. ⁵	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 29/205				
29/784				
21/338				
29/812				
H 0 1 S 3/18				
		7376-4M	H 0 1 L 29/80	H
(72)発明者 堀内 勝忠			(72)発明者 三島 友義	
東京都国分寺市東恋ヶ窪1丁目280番地			東京都国分寺市東恋ヶ窪1丁目280番地	
株式会社日立製作所中央研究所内			株式会社日立製作所中央研究所内	
			(72)発明者 中村 徹	
			東京都国分寺市東恋ヶ窪1丁目280番地	
			株式会社日立製作所中央研究所内	